



bmb+f - Förderschwerpunkt

Elementarteilchenphysik

Großgeräte der physikalischen
Grundlagenforschung

Schlussbericht vom 11.5.2004 zum Thema:

LHCb: Ein Experiment zur B-Physik am LHC Speicherring - Präzisionsmessungen zur CP-Verletzung und zu seltenen Zerfällen; Entwicklung und Produktion strahlenharter Siliziumdetektoren und Auslesechips für das LHCb Experiment.

Zuwendungsempfänger:	Max-Planck-Institut für Kernphysik
Projektleitung:	Dr. M. Schmelling
Förderkennzeichen:	05HP1EK1/5
Förderzeitraum:	01.03.01– 31.12.03
Zuwendung:	470389 EUR
E-Mail:	Michael.Schmelling@mpi-hd.mpg.de
Projektträger:	Projektträger DESY-HS

Genutzte Großgeräte:
CERN - LHC - LHCb

Angaben zum Projekt:

Veröffentlichungen:	15
Konferenzbeiträge:	9
Diplomarbeiten:	0
Dissertationen:	1
Habilitationen:	0
Patente:	0

Das diesem Bericht zugrundeliegende Vorhaben wurde mit Mitteln des Bundesministeriums für Bildung und Forschung gefördert. Die Verantwortung für den Inhalt dieser Veröffentlichung liegt beim Autor.

Schlussbericht – Kurzfassung

Zuwendungsempfänger: Max-Planck-Institut für Kernphysik

Projektleitung: Dr. M. Schmelling

LHCb: Ein Experiment zur B-Physik am LHC Speicherring - Präzisionsmessungen zur CP-Verletzung und zu seltenen Zerfällen; Entwicklung und Produktion strahlenharter Siliziumdetektoren und Auslesechips für das LHCb Experiment.

Das Projekt ist ein integraler Bestandteil des Tracking Systems von LHCb, und zwar bei den Komponenten wo denen Siliziumstreifenzähler zum Einsatz kommen. Dies sind der Vertex Detektor (VErtex LOcator, VELO), das Pileup-Veto (VETO) und der Silicon Tracker (ST) bestehend aus dem Inneren Spurkammersystem (Inner Tracker, IT) und dem Trigger Tracker (TT). Insgesamt steuern diese Subsysteme mit ungefähr einer halben Million Kanälen ca. die Hälfte aller Auslesekanäle des Experiments bei.

Eine Aufgabe des MPI für Kernphysik war, einen geeigneten strahlenharten Auslesechip für VELO, VETO und ST zu entwickeln. Darüberhinaus ist das Institut für die Frontend-Elektronik des Silicon Tracker verantwortlich und hat einen maßgeblichen Beitrag zu den Sensoren dieses Systems übernommen.

Im Berichtszeitraum wurde die Chipentwicklung parallel zu F&E für den Silicon Tracker erfolgreich durchgeführt. Die Aktivitäten stellten eine natürliche Evolution des Engagements der Gruppe bei HERA-B dar, wovon das Projekt in allen Phasen deutlich profitiert hat. Zudem ergaben sich Synergie-Effekte zwischen den beiden Haupttätigkeitsfeldern daraus, dass Chipentwicklung und F&E der Siliziumdetektoren für das ST-Projekt innerhalb eines Institutes angesiedelt waren, sowie der Tatsache dass Heidelberg als Ganzes eine gewisse kritische Masse bei LHCb einbringt.

Im Berichtszeitraum ist es gelungen, in Zusammenarbeit mit den Universitäten Lausanne, Kiev, Santiago de Compostela und Zürich, durch systematische Studien ein Sensordesign für die ST-Stationen zu entwickeln, welches bei minimalem Materialbudget und einer Geometrie mit bis zu 40 cm Streifenlänge eine hohe Nachweiswahrscheinlichkeit mit schneller Auslese kombiniert.

Eine wichtige Komponente des Systems ist der Beetle Chip, welcher in ständiger Kollaboration zwischen ASIC-Designern und den Anwendern parallel entwickelt wurde. Der Chip basiert auf der RD20-Architektur und ist in kommerzieller 0.25 μ m CMOS-Technologie in einem strahlenharten Design realisiert. Das analoge Ausgangssignal eines rauscharmen ladungsempfindlichen Eingangsverstärkers wird für maximal 4 μ s in einer Pipeline gespeichert. In dieser Zeit kann die erste Triggerstufe entscheiden, ob ein Ereignis potenziell interessant ist und dieses für die Auslese markieren. Ein Multi-Event-Buffer mit 16 Stufen erlaubt so eine praktisch totzeitfreie Selektion von B-Ereignissen. Die Eingangsstufe ist so ausgelegt, dass Lastkapazitäten bis zu 50 pF möglich sind, was das gesamte Anwendungsspektrum bei LHCb abdeckt. Der Chip ist dank dreifach-redundanter, teilweise selbstkorrigierender Logik gegen sogenannte Single-Event-Upsets geschützt, bei denen Registerinhalte durch ionisierende Strahlung verändert werden können. Die Funktionsfähigkeit wurde bis zu einer Gesamtdosis von 45 Mrad getestet.

Schlussbericht

Zuwendungsempfänger: Max-Planck-Institut für Kernphysik

Projektleitung: Dr. M. Schmelling

LHCb: Ein Experiment zur B-Physik am LHC Speicherring - Präzisionsmessungen zur CP-Verletzung und zu seltenen Zerfällen; Entwicklung und Produktion strahlenharter Siliziumdetektoren und Auslesechips für das LHCb Experiment.

1 Aufgabenstellung

Als Mitglied der **LHCb**-Kollaboration hat das Max-Planck-Institut für Kernphysik (MPI-K) die Entwicklung eines geeigneten strahlenharten Auslesechips für den Vertex-Detektor (Vertex LOcator, VELO) und den Silicon Tracker (ST) übernommen. Der Chip sollte zudem eine schnelle digitale Auslese für das Pileup-VETO liefern, welches bei **LHCb** die Aufgabe hat, Mehrfachwechselwirkungen zu erkennen und zurück zu weisen. Die Verantwortung für das Design der entsprechenden Komparatorstufe liegt beim NIKHEF. Weiterhin war zu Projektbeginn die Möglichkeit vorgesehen, für den Fall, dass als Photodetektoren Multi-Anode-Photomultiplier-Tubes zum Einsatz kommen sollten, den Chip auch für die Auslese der RICH Detektoren zu verwenden. Die dafür notwendigen Modifikationen der Eingangsstufe hat die auch im RICH-System engagierte Universität Oxford übernommen. Die Verantwortung für das Gesamtprojekt liegt beim MPI-K.

Der Silicon Tracker besteht aus zwei Subsystemen, und zwar dem Inneren Spurkammersystem (Inner Tracker, IT) hinter dem Magneten und dem im Rahmen der Reoptimierung von **LHCb** hinzugekommenen Trigger Tracker (TT) vor dem Dipolmagneten. Innerhalb der Silicon Tracker Gruppe hat sich das Institut dazu verpflichtet, neben der gesamten Front-End Elektronik von IT und TT nicht nur zu F&E für die Detektoren, sondern auch einen signifikanten Teil der Siliziumsensoren für den Bau des Detektors beizutragen.

2 Voraussetzungen

Die übernommenen Aufgaben stellen eine natürliche Evolution des Engagements des Instituts im Rahmen des **HERA-B**-Experiments dar. Dort war das MPI-K, zusammen mit dem MPI für Physik in München, wesentlich an der Konstruktion des Vertex Detektors beteiligt. Neben der Mechanik und entstprechender Steuerungs- und Alignment-Software lag hier der Schwerpunkt vor allem im Bereich der Elektronik, und zwar inklusive der Entwicklung geeigneter Auslesechips. Die für die übernommenen Aufgaben notwendige Infrastruktur war damit weitgehend vorhanden und hat sich im Berichtszeitraum hervorragend bewährt.

3 Wissenschaftlicher und technischer Stand zu Projektbeginn

Für die Chipproduktion im Bereich der Hochenergiephysik waren zu Projektbeginn CMOS-Prozesse mit einer Strukturgröße von $0.8\mu\text{m}$ noch Stand der Technik. Durch spezielles Design konnte auch hier eine gewisse Toleranz gegenüber ionisierender Strahlung erreicht werden. Der in Heidelberg entwickelte und bei HERA-B eingesetzte HELIX-Chip war zum Beispiel bis zu einer Dosis von 400 krad funktionsfähig. Strahlenhärte bis 10 Mrad, wie sie für LHCb erforderlich ist, war nur in speziellen Produktionsprozessen, wie dem HARRIS- oder dem DMILL-Prozess, zu erreichen.

Durch Initiative des CERN hatte allerdings in der Zwischenzeit auch die Hochenergiephysik Zugang zu einem kommerziellen $0.25\mu\text{m}$ Prozess. In Bezug auf totale Strahlendosis haben in dieser Technologie hergestellte integrierte Schaltungen bereits eine hohe intrinsische Strahlenhärte. Durch Anwendung geeigneter Designstrategien der Bauelemente kann diese soweit verbessert werden, dass sie die durch den DMILL-Prozess garantierten Werte noch übertrifft, und zwar bei kleineren Chip-Abmessungen und reduzierter Leistungsaufnahme. Zudem sollte die Verwendung eines kommerziellen Standard-Prozesses auch die langfristige Verfügbarkeit der für die Chipentwicklung benötigten Technologie garantieren.

Aus diesem Grunde sollte ein neuer LHCb Auslesechip, Beetle, in dieser Technologie realisiert werden. Um die mit der Verwendung einer neuen Technologie verbundenen Risiken zu minimieren, wurde innerhalb von LHCb beschlossen, für den VELO als der kritischsten Komponente, neben dem Beetle auch eine die LHCb-Spezifikationen erfüllende modifizierte Version des existierenden SCTA-Chips zu konstruieren. Dies wurde durch die CERN-Gruppe von LHCb, anfänglich in Zusammenarbeit mit dem MPI-K, durchgeführt. Ende 2002 entschied sich dann aber auch die VELO-Gruppe endgültig dafür, den Beetle-Chip im Experiment einzusetzen.

Zu Beginn umfasste das spätere Silicon Tracker Projekt nur den Inner Tracker. Der Trigger Tracker kam erst im Rahmen der Reoptimierung des Experiments hinzu. A priori war nicht klar, welche Detektorfläche sich zu vertretbaren Kosten mit Siliziumstreifenzählern abdecken lässt. Es war die Option in Diskussion, nur die ersten drei IT-Stationen im Bereich des höchsten erwarteten Teilchenflusses in Siliziumtechnologie zu realisieren, und für den Rest Micro-Strip-Gaseous-Chambers (MSGCs) zu verwenden. Für den Frontendchip bedeutete dies, dass er sowohl für Siliziumzähler, als auch für MSGCs verwendbar sein sollte. Hier wären eventuell verschiedene Eingangsstufen für den Beetle-Chip erforderlich gewesen.

Die Konstruktion der Zähler für den Inner Tracker stellte ebenfalls eine signifikante technologische Herausforderung dar. Da LHCb in der Lage sein soll, Ereignisse aus aufeinanderfolgenden Bunch-Crossings von LHC aufzuzeichnen, ist beim IT ebenso wie für den VELO eine schnelle Impulsformung der Eingangsstufe gefordert. Wählt man Streifenabstand und Länge der Sensoren so, dass die Zahl der Auslesekanäle bei den erwarteten Teilchenflüssen nicht wesentlich größer ist als für die Spurerkennungsprogramme benötigt, ergeben sich Streifenabstände im Bereich von $200\mu\text{m}$, Längen bis zu 22 cm und damit verbunden Lastkapazitäten im Bereich von 30 pF. Da bei kommerziell verfügbaren Wafergrößen nur Sensoren mit Streifenlängen bis ca. 10 cm herstellbar sind, ergibt sich weiterhin die Notwendigkeit, mehrere Sensoren zu sogenannten Leitern zu kombinieren. Zur Realisierung von Stereolagen, wie sie für den Inner Tracker vorgesehen waren, können daher doppelseitige Sensoren mit relativ zueinander gedrehten Streifen zwischen Vorder- und Rückseite nicht verwendet werden. Statt dessen muss für jede Projektion eine eigene Sensorlage konstruiert werden, d.h. die Sensoren sollten möglichst dünn sein, um das Materialbudget klein zu halten.

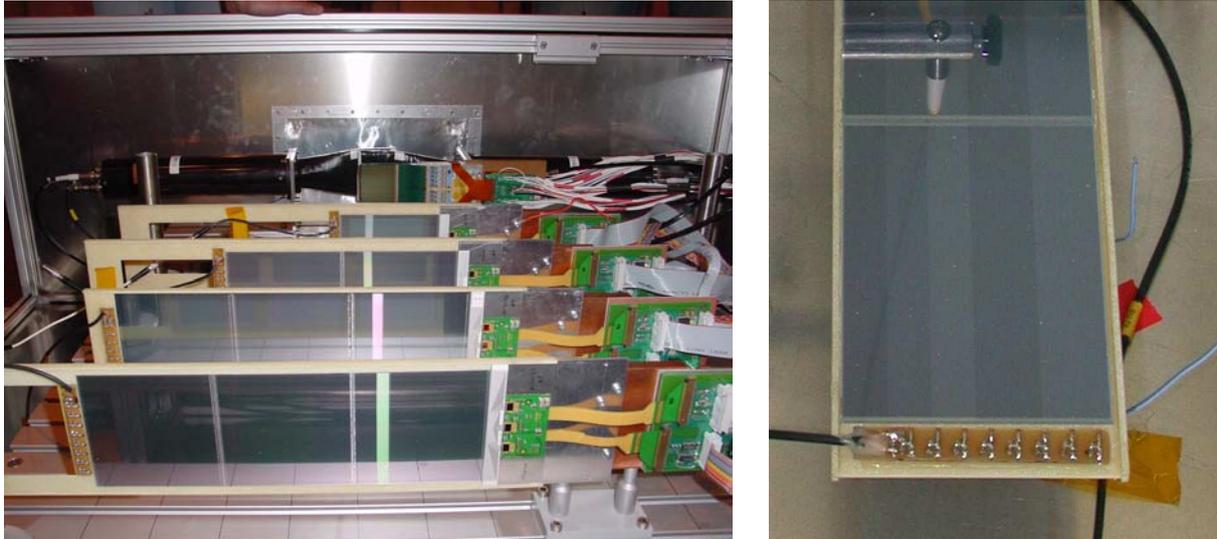


Abbildung 1: Silicon Tracker Testbeam-Aufbau 2003 (links) und Detailansicht eines Multi-Geometry-Sensorprototypen.

4 Zusammenarbeit mit anderen Stellen

Die im Rahmen des hier beschriebenen Projektes durchgeführten Arbeiten sind integraler Bestandteil der Silizium-Streifenzähler verwendenden Subsysteme, Vertex Detektor inklusive Pile-up-Veto und Silicon Tracker. Die daran beteiligten Institute sind in Tabelle 1 aufgelistet. Soweit die Chipentwicklung die RICH-Detektoren betraf, war die Universität Oxford ein weiterer Kollaborationspartner. Das Design des Beetle-Chips geschah am ASIC-Labor Heidelberg, welches gemeinsam von der Universität Heidelberg und dem Max-Planck-Institut für Kernphysik betrieben wird, mit einem daraus resultierenden aktiven Erfahrungsaustausch zwischen Universität und MPI-K. Insgesamt gehören der LHCb Kollaboration zur Zeit 50 Institute mit 585 Physikern aus 15 Ländern an. Das Experiment wurde, nachdem im Februar 1998 das Technical Proposal eingereicht wurde, im September 1998 vom CERN Research Board genehmigt und befindet sich derzeit in der Bauphase.

Komponente	Institut
Vertex Detector	Amsterdam/NIKHEF, CERN, MPI-Heidelberg, Lausanne, Liverpool, NIKHEF
Silicon Tracker	MPI-Heidelberg, Lausanne, Kiev, BINP Novosibirsk, Santiago de Compostela, Zürich

Tabelle 1: Subsysteme von LHCb an denen das MPI für Kernphysik beteiligt ist.

5 Planung und Ablauf des Vorhabens

Die F&E-Arbeiten für das Silicon Tracker Project begannen im Jahr 2001 mit ersten systematischen Untersuchungen zum Verhalten von Sensoren mit großem Streifenabstand. Hierzu wurden Prototypensensoren der Firma DETEKTOR aus Kiev verwendet, die relativ preiswert und