

GEFÖRDERT VOM



Bundesministerium
für Bildung
und Forschung

Schlussbericht

Verbund: nein

Zuwendungsempfänger: Ruprecht-Karls-Universität Heidelberg

Projektleitung: Prof. Dr. Ulrich Brüning

E-Mail: ulrich.bruening@ziti.uni-heidelberg.de

Förderkennzeichen: 05P09VHFC6

Förderzeitraum: 01.07.2009 - 31.12.2012

Thema: FAIR-CBM: CBM Data Acquisition at FAIR

Zuwendung: 258.500,00 €

Projektträger: Projektträger DESY

Zusätzlicher Kontakt: frank.lemke@ziti.uni-heidelberg.de

Zusätzlicher Name: Frank Lemke

Genutzte Großgeräte:	Labor	Gerät	Experiment
Diplomarbeiten:			
Dissertationen:	1		
Habilitationen:			
Publikationen:			
Konferenzbeiträge:	9		
Patente:			
Bachelorarbeiten:	1		
Masterarbeiten:			

Dieser Bericht wurde beim Projektträger über einen individuellen Online-Zugang vom Projektleiter eingereicht und am 16.08.2013 13:29 für eine Veröffentlichung freigegeben.

Abschlußbericht

zu dem Projekt

CBM Data Acquisition Readout Buffer@FAIR

Förderkennzeichen: 05P09VHFC6

(Vorheriges Förderzeichen 06HD91171)

Förderperiode 01.07.2009 – 30.06.2012 (Verlängert bis 31.12.2012)

In den Arbeitsgruppen Brüning/Männer des Instituts für Technische Informatik (ZITI) als zentrale Einrichtung der Universität Heidelberg sollen neuartige Methoden zur Datenkommunikation (serielles DAQ-Netz, Nachbarschaftsnetz) und Datenverarbeitung (Level1 Triggerentscheidung) entwickelt und die dafür notwendige Elektronik-Hardware (Chips und FPGA Boards) aufgebaut werden.

Die zentralen Ziele des Projekts waren:

1. Erarbeitung der optimalen Readout-Architektur zwischen Readout-Controllern (ROC) und Triggerprozessoren. Entwurfsalternativen sind derzeit a) getrennte Module für Data Combining (DCB) und Buffering (ABB)¹, b) ein integrierter Readout-Buffer (ROB), der beide Funktionalitäten vereint, und c) eine Integration des ROB in die Triggerfarm.
2. Entwicklung eines schnellen Netzwerkprotokolls zum seriellen Transport vom ROC zum ROB und von dort zu den Triggerprozessoren.
3. Entwicklung einer optimalen Speicherarchitektur und Speicherverwaltung, die den enorm großen Datenstrom bewältigen kann.
4. Entwicklung eines Netzwerkes zum Separieren von Wechselwirkungen.
5. Entwicklung, Aufbau und Test von Hardware und Software eines Prototyp-Systems, das bis zu dem erforderlichen Endausbau skaliert werden kann.

Das Projekt wurde bezogen auf den Antrag gekürzt, dadurch ergeben sich zeitliche Verschiebungen einzelner Arbeitspakete und Meilensteine. Dies wirkt sich besonders in der 2. Phase des Projekts aus. Im Laufe des Projects ergaben sich auch Architekturänderungen. Zu Beginn der 2. Phase zog sich Prof. Dr. Männer aus dem Projekt wegen seiner nahenden Emeritierung schrittweise zurück.

Zur besseren Übersichtlichkeit ist das Projekt in zwei Teilprojekte, aufgeteilt nach Lehrstühlen, strukturiert. Unten werden für die zwei Teilprojekte die bisherigen Ergebnisse aus Phase 1 des Projekts dargestellt, inklusive einer Gegenüberstellung der ursprünglich geplanten und erreichten Ziele, Publikationen, im Rahmen des Projektes entstandenen Diplom- und Doktorarbeiten sowie eingesetztes Personal und seine Tätigkeitsbereiche.

Teilprojekt 1: Lehrstuhl Brüning

Phase 1 (von 7/2009 bis 12/2010)

In der ersten Phase des Projekts wurde der Demonstrator 1 aufgebaut und hin zu einem etwas an die neuen Anforderungen angepassten Demonstrator erweitert. In zahlreichen Labor- und Strahlzeittests wurde die Funktionsfähigkeit der vorhandenen HW Versionen gezeigt. Mit Hilfe der gewonnenen Erkenntnisse, sowie einer detaillierten Entwurfsraumanalyse wurden Protokolländerungen und Änderungen in der HW Hierarchie entworfen. Dies führt zu einem auf die neuen Anforderungen und Erkenntnisse angepassten Plan für die zweite Projektphase. Im Folgenden werden die in Phase 1 bearbeiteten Arbeitspunkte detaillierter beschrieben.

AP 1 Aufbau Demonstrator 1 - Der Demonstrator 1 wurde mit den im vorhergehenden Projekt entwickelten Komponenten und dem CBM Protokoll V1 aufgebaut und getestet. Das in Abbildung 1 gezeigte Schema stellt diese geplante und validierte Version dar. Die Netzwerkhierarchie sowie die CBM DAQ Networkkommunikation und Synchronisation wurden beschrieben in [1]. Zur einfacheren Anwendung der CBM Protokoll Module innerhalb der Komponenten anderer Gruppen wurde das CBM Interface [2] für eine möglichst generische und einfache Handhabung optimiert. Diese DAQ Auslesehierarchie hat sich als brauchbar und funktionsfähig erwiesen. Da sich wie im nächsten Abschnitt AP 2 beschrieben die Systemstruktur geändert hat, wurde ein zweiter Demonstrator entworfen, um das neue Konzept zu testen und dessen Machbarkeit zu bestätigen. Die Struktur dieses neuen Demonstrators ist in Abbildung 2 dargestellt. Die Änderung der Struktur erforderte eine neue Implementierung der DCB-Firmware. Hier musste innerhalb des DCB die Crossbar-Struktur neu implementiert werden und die komplette MGT Konfiguration und Initialisierung angepasst werden, sowie eine Aufteilung der unifizierten Daten-, Kontroll- und Synchronisationskommunikation in backend Richtung unterstützt werden. Außerdem musste die Software bei unseren Projektpartnern angepasst werden, um die Taktverteilung und Synchronisationsquelle zu ändern. Diese Anpassungen wurden erfolgreich durchgeführt. Unter *Meilensteine* MS 1 sind der letzte Strahlzeitaufbau sowie die erreichten Ziele bei der Verwendung des Demonstrators beschrieben.

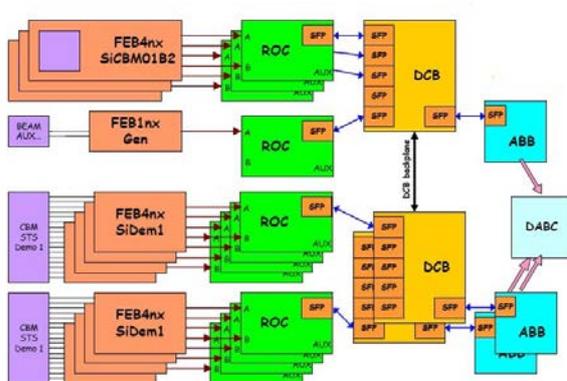


Abbildung 1: CBM-STS Demonstrator 1
(Quelle: Walter Müller GSI)

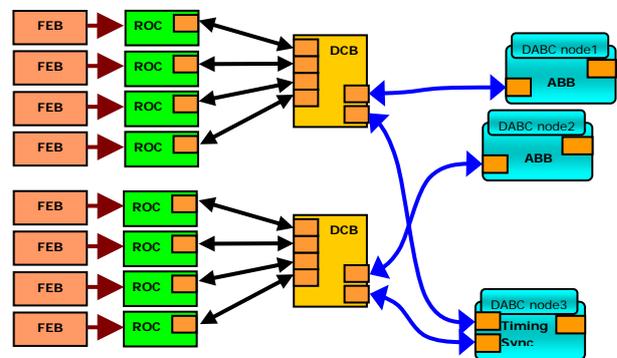


Abbildung 2: Neuer Entwurf des Demonstrators

AP 2 Entwurfsraumanalyse – Es wurde eine Entwurfsraumanalyse der verschiedenen Implementierungsalternativen des ROB gestartet. Ein Schema der vorgeschlagenen Netzwerkarchitektur mit ROB ist in Abbildung 3 gezeigt. Die Analyse sowie neue Front-End Designentscheidungen führten zu einer neuen Netzwerkstruktur, dargestellt in Abbildung 4. Die komplette Integration des ABB zusammen mit dem DCB in ein ROB wurde vorerst verworfen, da die genaue Struktur des First Level Event Selector (FLES) noch nicht vorliegt und hier zurzeit geplant ist, zumindest einen Teil der ABB Funktionalität zu belassen. Die neue Netzwerkstruktur sieht im Detektorteil des DAQ Systems eine Ausleseketten FEB-ROC vor und zusätzlich die im Schaubild 4 dargestellte Ersetzung des ROC/DCBs. Die Komponenten ROC/DCB können durch einen HUB-ASIC Chip zusammen mit einem Opto Konverter und einem Data Processing Board (DPB) ersetzt werden. Der Opto Konverter ist eine passive Komponente, die zur Umsetzung von einer elektrischen auf eine optische Kommunikation dient. Hier gibt es verschiedene Umsetzungsmöglichkeiten, die einfachste könnte die Verwendung von Active Optical Cables sein. Der HUB-ASIC Chip, an dem mehrere FEBs oder Detector ASICs angebunden werden können, enthält sowohl ROC als auch DCB Funktionen. Er dient nicht nur als Schnittstelle für den Datenstrom, sondern enthält auch die Funktionen für die Taktverteilung und Kontrolle der FEEs. Das DPB stellt die Data Combiner Funktionen eines DCB zur Verfügung und enthält außerdem die Teilfunktion des Detector Control Systems (DCS) und bietet die Möglichkeit, zu einem späteren Zeitpunkt auch Data Preprocessing Funktionalität zu unterstützen. Die Entscheidung des endgültigen HW Aufbaus des DPB bzgl. der Anzahl an Links, der zu verwendenden FPGA Technologie, des einzusetzenden Netzwerk Protokolls und des Interfaces in Richtung ROC/HUB sowie des zu verwendenden Netzwerk Protokolls und Interfaces

Richtung FLES im Computing Cluster wird erst nach der Fertigstellung der HUB Readoutstruktur getroffen werden. Dies hat unter anderem den Vorteil, dass man auf den letzten möglichen Zeitpunkt warten kann, um die bestmögliche Technikentscheidung zu treffen. Bei den sich noch ändernden Systemparametern und des schnellen Technologiefortschritts ist dies empfehlenswert.

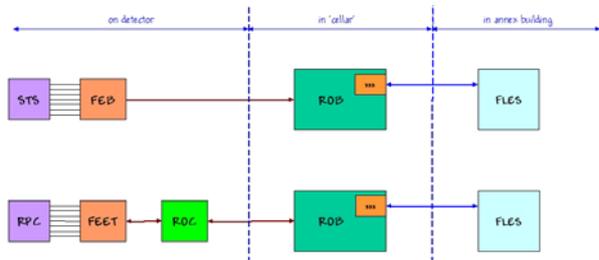


Abbildung 3: ROB Netzwerkstruktur

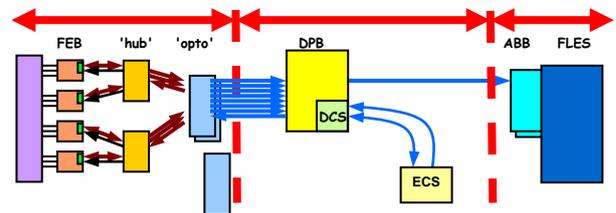


Abbildung 4: HUB Netzwerkstruktur

Während der Analyse wurden bereits Arbeitspakete und Konzepte für den HUB-ASIC erstellt [3]. Ein Blockdiagramm der HUB Core Struktur findet sich in Abbildung 5.

Die neuen geplanten Hierarchiestrukturen inklusive der Planung und Umsetzung des HUB ASICs werden den Verlauf der 2. Phase des Projekts beeinflussen. Da die endgültige Implementation und Fertigung des ASICs den Rahmen dieses Projektes sprengt, werden innerhalb des Projektes zwar noch die geplanten Analysen bzgl. Anpassungen am CBM Protokoll und Netzwerkstruktur durchgeführt werden, sowie Designvorschläge für das DPB erarbeitet, allerdings werden für den HUB ASIC bestenfalls Prototypen und Machbarkeitsstudien durchgeführt. Die ASIC HW muss in einem Folgeprojekt entwickelt und gefertigt werden.

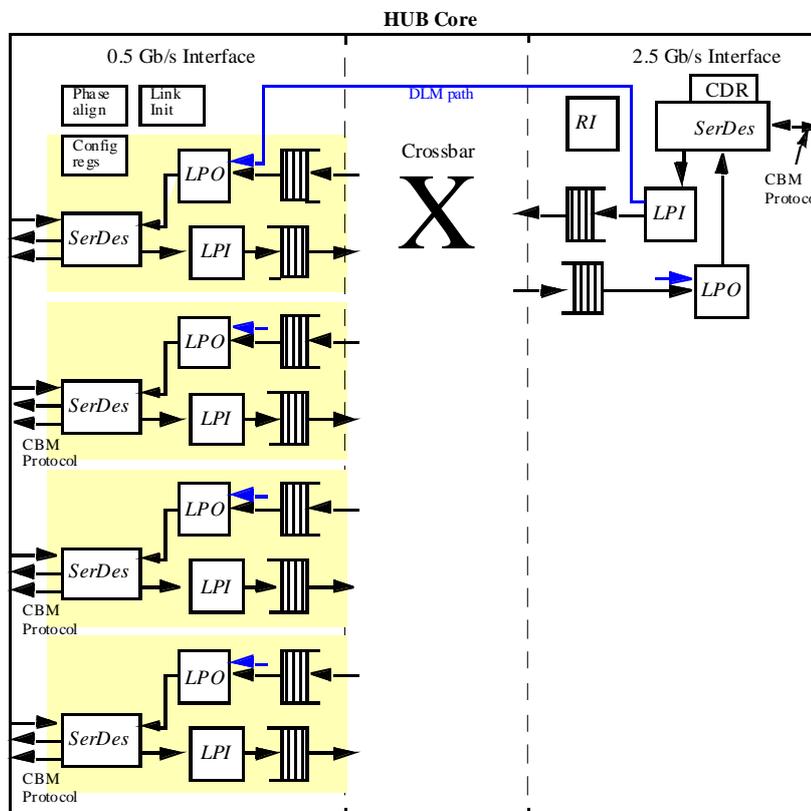


Abbildung 5: HUB Core Strukturdiagramm

AP 4 Netzwerkkonstruktion - Die geplante Netzwerkkonstruktionanalyse und prototypische Analyse mit Hilfe des Demonstrators 1 wurde durchgeführt. Die Hierarchiestruktur und die Bestandteile des Netzwerks haben sich, wie unter AP 2 beschrieben, verändert. Trotzdem wurden die drei zu analysierenden Hauptbereiche soweit als möglich analysiert. Die drei Kommunikationsebenen wurden wie folgt verändert. Die Kommunikation zwischen ROB und ROC wurde in der neuen Version in die Kommunikation HUB/DPB und ROC umgesetzt. Die Backplane Kommunikation zwischen ROBs ist jetzt als ECS Kommunikation mit DPB zu sehen. Die Kommunikation mit dem FLES bleibt vorerst unverändert.

Bei der Kommunikation zwischen ROC und dem CBM Netzwerk wurden Tests und Analysen durch Nutzung von ROC-DCB, ROC-ABB sowie ROC-DCB-ABB Kommunikation durchgeführt. Das eingesetzte CBM Protokoll in Version V1 zeigte das erwartete robuste und anwendungsorientierte Verhalten und kann als geeignet deklariert werden. Eine Analyse unter Berücksichtigung neuer Detektoranforderungen führt zum Entwurf des CBM Protokolls Version V2 [4]. Diese neue Version des Protokolls wird im Folgenden innerhalb des AP5 in der 2. Projektphase implementiert werden.

Die ROB connector Backplane wird im neuen Konzept ersetzt durch ein ECS zur Verbindung von DPBs. Mit Hilfe von einem ABB, das genutzt wurde zur Taktverteilung und Synchronisation von DCBs, wurde die ECS Funktionalität simuliert und deren Funktionsfähigkeit bewiesen.

Da noch keine FLES Strukturen zur Verfügung stehen, konnten die hier geplanten Tests nicht in vollem Umfang durchgeführt werden. Somit konnte auch die Auswahl geeigneter Komponenten (möglicherweise aus components of the shelf (COTS) Modulen bestehende Lösung) für die Kommunikation zum Computing Cluster noch nicht durchgeführt werden. Dies geschieht, sobald die Testvoraussetzungen gegeben sind. Eine Umsetzung mit COTS Modulen stellt sich aber nach jetzigem Stand als weitgehend problemlos ins Konzept integrierbar dar.

Meilensteine innerhalb der 1.Phase (von 7/2009 bis 12/2010)

MS 1 Demonstrator 1 - Der Aufbau des Demonstrators wurde zum wesentlichen Teil erst mal wie geplant ausgeführt [5]. Die optischen CBM Protokoll V1 Module wurden ausgiebig in der Kommunikation zwischen ROCs und ABBs im laufenden Betrieb getestet. Dies geschah durch zahlreiche Langzeittests in unserem Labor mit unterschiedlichen Testmustern, unter anderem mit dauerhafter Vollast. Weiterhin wurden Tests auch während der Entwicklung von Detektorausleselogik innerhalb von ROCs durch andere Gruppen sowie deren Labortests und normale Laboranwendungen durchgeführt. Getestet wurde auch während zahlreicher Strahlzeittests. Die geplante Demonstrator 1 Version wurde ausgiebig in Labortests eingesetzt und zu einer unter AP 1 beschriebenen zweiten Version angepasst. Diese neue Demonstratorversion wurde wie in Abbildung 6 gezeigt für die COSY STS/MUCH Strahlzeit im Dezember 2010 erfolgreich eingesetzt. Die DAQ mit Hilfe des CBM Protokolls V1 funktionierte problemlos, und die Synchronisation sowie die Taktverteilung funktionierten auf Anhieb. Ein Bitclock genaue Synchronisation, also in jedem Fall kleiner 400ps, wurde somit bewiesen. Die verwendete Struktur entsprach genau der in AP 1 dargestellten Beispielstruktur mit zwei ABBs zum Datenempfang, einem ABB zur Taktverteilung und Synchronisation, zwei DCBs zum Kontrollieren von je 4 ROCs inklusive des Kombinierens ihrer Datenströme sowie den 8 ROCS mit angeschlossenen Detektoren. In der Abbildung erkennt man die beiden DCBs mit Jitter Cleaner Erweiterungsboard zum Verbessern des Empfangstaktes, der zum Weitersenden verwendet wird, sowie je sechs benutzte SFPs. Je zwei SFPs mit 3 Meter langen orangen Glasfasern zum Empfangen des Taktes mit Synchronisation und der Datenverbindung zu der Datensinke. Außerdem je vier SFPs mit 50 Meter langen hellblauen Glasfasern zur Verbindung zu den ROCs. Somit kann der Meilenstein 1 als erfolgreich erreicht eingeordnet werden.

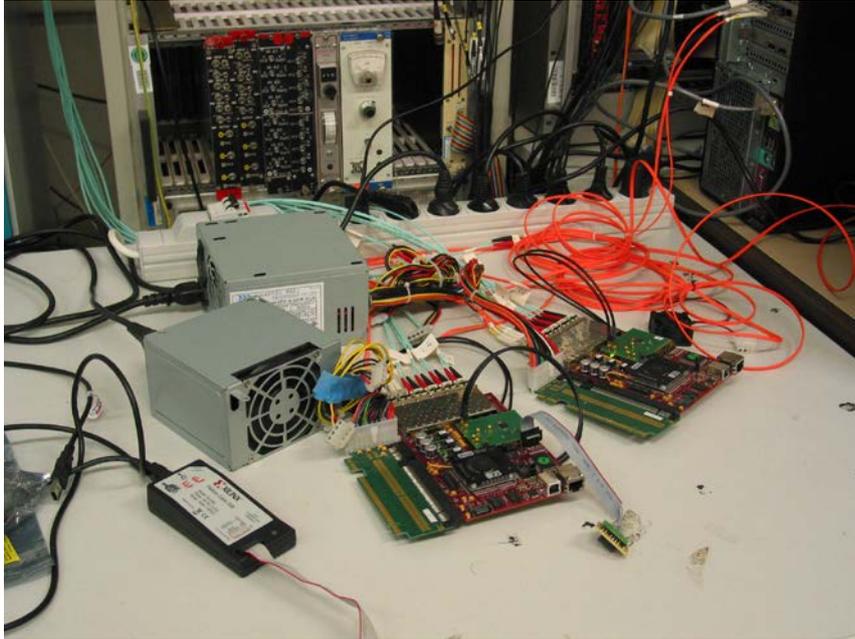


Abbildung 6: Aufbau mit der DAQ Hierarchie während der Strahlzeittests Dez. 2010

Phase 2 (von 1/2011 bis 12/2012)

Während der zweiten Phase des Projekts wurde vor allem die Implementation und Verbesserung des entworfenen Link-Protokolls vorangetrieben. Es wurde zu einem generischen Linkprotokoll [6] weiterentwickelt mit allen für das geplante Demonstratorsystem benötigten Eigenschaften, besonders der Synchronisation mit Hilfe von Deterministic Latency Messages (DLMs), einer erhöhten Bandbreite für Daten und einer verlässlichen Slow Control Kommunikation. Ferner wurde gemäß dem neuen DAQ Auslesekonzeptes Entwicklungen bei der Integration des CBMnets in FEE ASICs und an der Konzeption des HUB ASICs vorangetrieben. Hierbei wurden folgende Arbeitspunkte bearbeitet:

AP 5 HW Implementierung (*geplanter Beginn letztes Quartal 1. Phase*) – Durch die oben beschriebenen Designänderungen sowie die bereits begründeten leichten Verzögerungen innerhalb des Projektes beginnt die HW Implementierung mit angepassten Zielen erst in der 2. Phase des Projektes. Neue Ziele sind:

1. Die Implementation der Erweiterungen für die 2. Version des CBM Protokolls [6]
2. Die Unterstützung der Ausleselogik innerhalb des SPADIC ASICs durch Umsetzung der CBM Protokollmodule [7]
3. Planung und Spezifikation des HUB ASIC Chips, sowie Beginn der Implementantion von Teilen der Hardware [8], [9], [10], [11]

Zu 1: Durch die Analyse und die veränderten Anforderungen, die sich in der ersten Phase dieses Projektes ergeben haben, wurde eine 2. Version des CBMnet Protokolls entworfen und implementiert. Hierbei wurde die Userkommunikationsschnittstelle zu den CBMnet Modulen weitestgehend gleich gelassen. Es wurde lediglich die interne Nachrichtenverarbeitung angepasst, im Speziellen wurde die Fehlertoleranz von Datennachrichten durch Einfügen von Retransmission Puffern an das neue Datentransportschema angepasst und eine generisches CBMnet Modulkonzept zur besseren Integration in FEE ASICs eingeführt. Das neue CBMnet Modulkonzept stellt neben den Netzwerk-kommunikationsmodulen auch Standard Module, z.B. ein I2C Slave-Interface und ein nutzerdefiniertes Registerfile, zur Verfügung, so dass Hardwaredesigner Entwicklungsaufwand sparen und Module nicht mehrfach implementiert werden müssen. Im Zuge der Anpassungen für die CBMnet Version 2 wurde die komplette optische Ausleseketten auf den neuesten Stand gebracht, so dass sie für zukünftige Tests und Implementationen weiterverwendet werden kann.

Zu 2: Das CBMnet wurde mit Hilfe des Generic Modules [7] Konzeptes in die Version 1.0 des SPADIC ASIC, der zur Auslese im TRD Detektorsystem dienen soll, integriert. Der SPADIC wurde Ende 2011 von der Gruppe Prof. Fischer submittiert. In Abbildung 7 ist die Struktur der CBMnet-Implementierung im SPADIC zu sehen. Es werden zwei Kommunikationslanes vom SPADIC für Datentransport (2x 500Gb/s) in Backendrichtung unterstützt und eine Lane zur Kommunikation zum SPADIC. Die Taktverteilung für FEE ASICs erfolgt im Unterschied zu anderen Netzwerkteilen nicht über eine Taktwiederherstellung aus den Linkdaten, sondern durch eine dedizierte Taktleitung, da hierdurch der Analogdesignaufwand reduziert wird. Die unbalancierte (mit unterschiedlicher Datenbandbreite) Kommunikation zwischen FEE ASICs und der nächsten Netzwerkstufe ermöglicht eine Platzersparnis für die Verkabelung im ohnehin dicht bepackten Detektorsystem. Im Laufe von 2012 wurde der SPADIC erfolgreich getestet und in Strahlzeiten in der Version 1.0 erstmalig eingesetzt. Ferner wurde mit der Vorbereitung der Integration des Generic Module Konzeptes in weitere FEE ASICs begonnen.

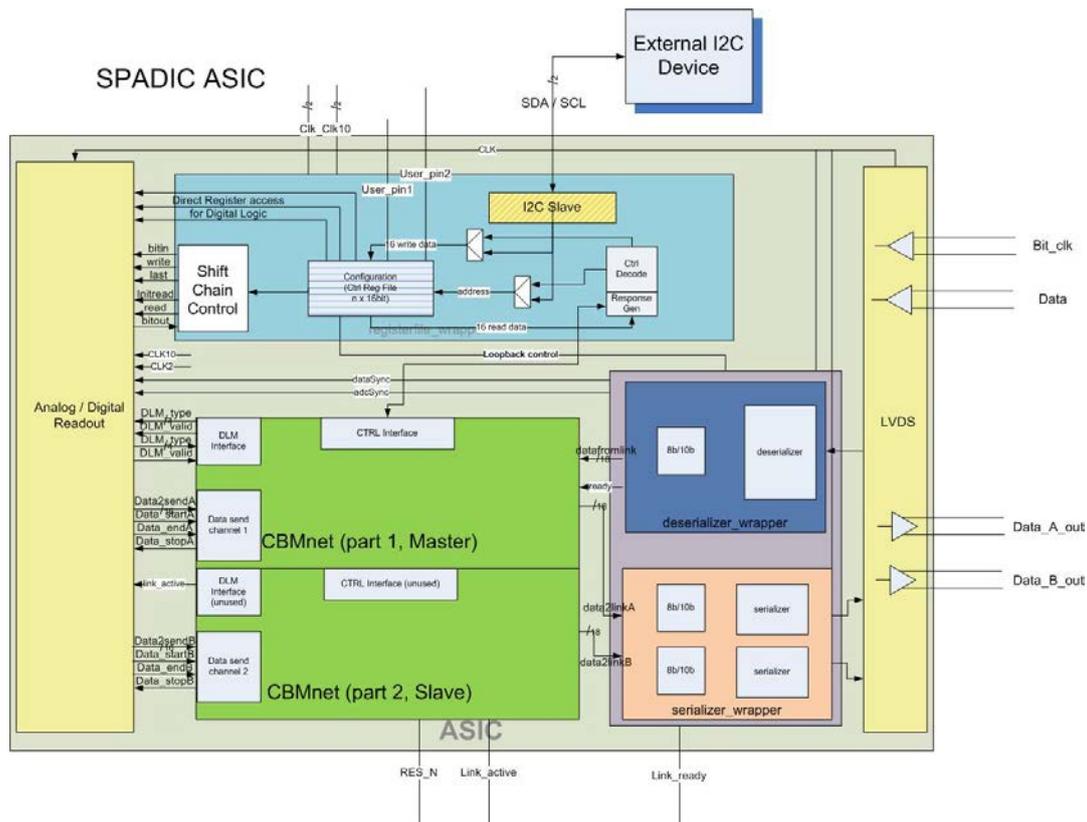


Abbildung 7: Blockdiagramm der im SPADIC ASIC integrierten CBMnet Modules

Zu 3: Es wurde damit begonnen, Spezifikationen für eine HUB ASIC Entwicklung zu entwerfen [8], [11]. Dabei wurden erste Teile bereits als Firmware auf FPGAs getestet [9], beispielsweise auf dem SP605 Evaluation Board von Xilinx. Insbesondere wurde hier die LVDS Serializer/Deserializer (SerDes) Schnittstelle zu FEE Devices bereits in einer ersten Version entwickelt [10]. Dadurch wird es ermöglicht SPADIC ASICs sowie weitere ASICs mit CBMnet Implementierung über das SP605 anzusteuern und auszulesen. Weitere Resultate zum HUB ASIC sind unter AP8 definiert.

AP 7 Funktionstest – Es wurden zahlreiche Strahlzeiten und Labortests mit der optischen Ausleseketten in CBMnet Version 2 durchgeführt. Dadurch konnte nachgewiesen werden, dass auch diese Version zuverlässig ist und sie die neuen Anforderungen der Fehlertoleranz an das Datenauslesesystem erfüllt. Außerdem konnte gezeigt werden, dass das CBM Auslesenetzwerk mit Hilfe des CBMnet Protokolls ohne Protokollkonvertierung im Netzwerk auskommen kann und eine taktgenaue Synchronisation innerhalb des Netzwerks möglich ist.

Der SPADIC 1.0 wurde über die I2C Schnittstelle der Generic Modules in Betrieb genommen und über die optische CBM Netzwerkausleseketten mit voller Taktrate erfolgreich getestet. Dies erfolgte mit Hilfe einer Firmware Implementation für das SP605 Board und einer optischen Auslese über ein ABB. Hierzu wurden, wie in Abbildung 8 zu sehen, Adapter Boards zum Anschließen an SP605 Evaluation Boards gebaut und Standard HDMI Kabel zur Testauslese verwendet.

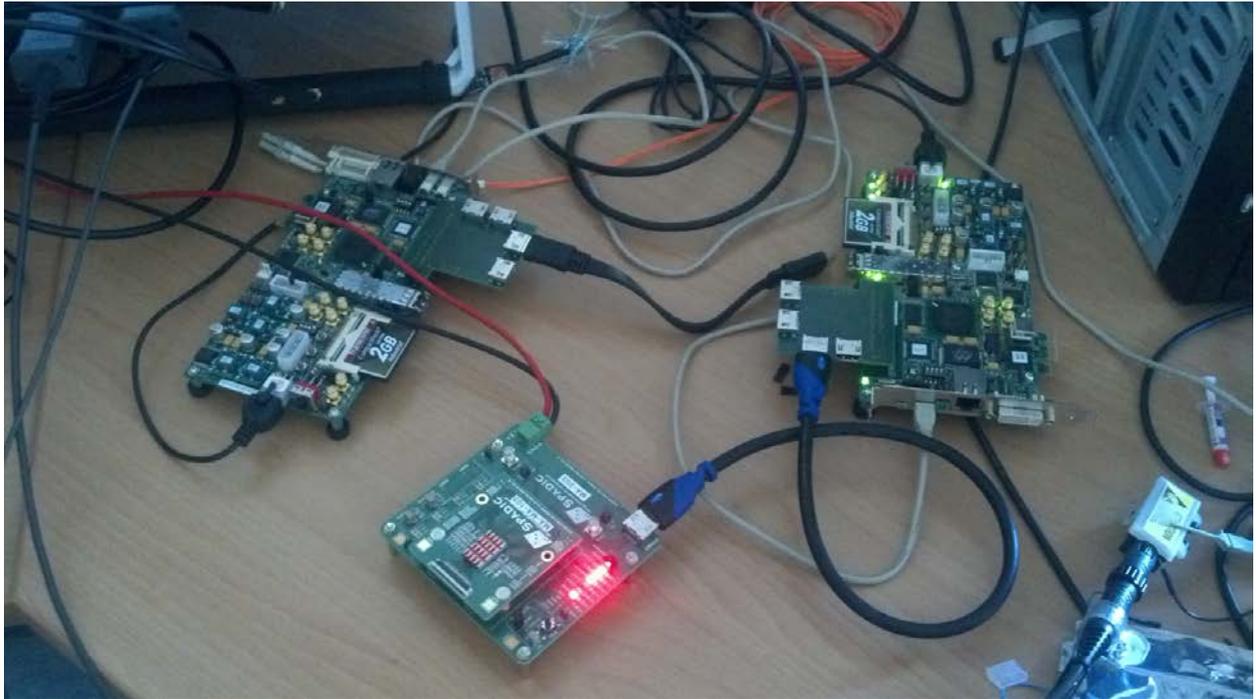


Abbildung 8: Testaufbau des SPADIC Detektor ASIC für CBMnet Readout [9]

AP 8 Konzeptionelle Entwicklung des HUB ASICs (ehemals Systemintegration) – Der Arbeitspunkt 8 hat sich durch die Umstrukturierung des Projektes verändert, so dass jetzt nicht mehr die Systemintegration entwickelter Komponenten bearbeitet wurde, sondern die konzeptionelle Entwicklung eines HUB ASICs und des dazugehörigen DAQ Auslesenetzwerkes [11]. Dadurch wird es im Folgeprojekt möglich sein dieses Konzept in Hardware zu implementieren, zu testen und schließlich die Systemintegration durchzuführen.

Die durchgeführte erste Analyse hat ergeben, dass der HUB ASIC mindestens 32 FEE Lanes mit 500 Mb/s und 5Gb/s Backend Links mit bis zu 4 Lanes unterstützen muss. Der HUB ASIC benötigt geeignete Konzepte, um beispielsweise eine frühe Datenaggregation zu ermöglichen, eine Taktverteilung für FEE Devices zur Verfügung zu stellen, FEE Devices steuern zu können, einen Synchronisationsmechanismus bereitzustellen und Strahlungstoleranz mit geeigneter Fehlerkorrektur zu gewährleisten. Für die Daten- und Kontrollkommunikation benötigt man spezielle hierarchische Crossbars um die große Anzahl an Ports mit geeignetem Loadbalancing zu unterstützen.

In Abbildung 9 kann man die Trennung der unterschiedlichen Kommunikationsklassen Data Transport Messages (DTM), Detector Control Messages (DCM) und Deterministic Latency Messages (DLM) erkennen. Diese dient unter Anderem der Deadlockvermeidung und der besseren Kommunikationsausbalancierung.

Zur weiteren high-speed Kommunikation mit dem Backend benötigt der HUB ASIC high-speed SesDes Module sowie einen Opto-Converter um diese Signale über Glasfaserkabel übertragen zu können. Hierfür wurden industrieübliche optische Komponenten analysiert und Prototypen entwickelt. Diese wurden im Labor und in Strahlzeittests getestet. Die Tests waren für eine erste Vorauswahl und Machbarkeitsanalyse hilfreich, um jedoch einen geeigneten Opto-Converter für CBM zu finden werden im Folgeprojekt weitere Tests durchgeführt werden müssen.

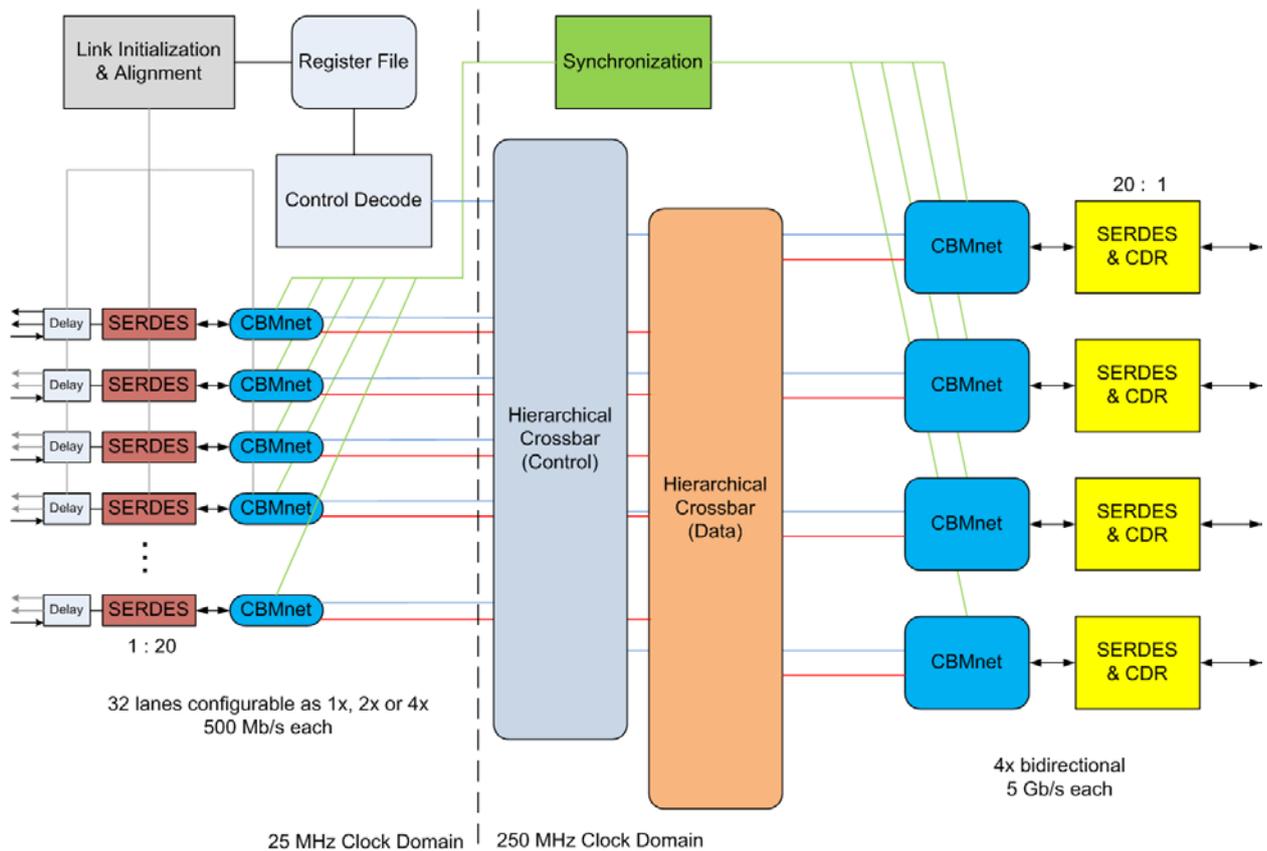


Abbildung 9: Blockdiagramm der HUB ASIC Struktur [11]

Zur Realisierung des im HUB integrierten high-speed SerDes Modules, das als Full Custom Analog Design entwickelt werden muss, wurde eine Kooperation mit Prof. Dr. T. K. Bhattacharyya vom Indian Institute of Technology Kharagpur (IITKGP) begonnen. Diese Kooperation ermöglicht es im Folgeprojekt den HUB ASIC, mit Hilfe der CBM Collaboration am Lehrstuhl für Rechnerarchitektur von Prof. Brüning, weiterzuentwickeln und eine wesentliche Komponente im hochdichten CBM DAQ Auslesenetzwerk zu entwerfen und zu bauen.

Publikationen

- [1] Frank Lemke, Sebastian Manz, Wenxue Gao; *Time synchronization and measurements of a hierarchical DAQ network*, Deutsche Physikalische Gesellschaft EV (DPG10), Frühjahrstagung, Bonn, Germany, März 15-19, 2010.
- [2] Frank Lemke, David Slognat, Niels Burkhardt, Ulrich Bruening; *A Unified DAQ Interconnection Network with Precise Time Synchronization*, IEEE Transactions on Nuclear Science (TNS), Journal Paper, VOL. 57, No. 2, April 2010.
- [3] Frank Lemke, Sven Schenk, Ulrich Bruening; *Prototype Results of an Optical Communication Network for the CBM DAQ-System*, ISBN 978-3-9811298-7-8, p. 54, CBM Progress report 2009, CBM Collaboration, Darmstadt, Germany, 2010.
- [4] Frank Lemke, Sven Schenk, Ulrich Brüning; *Experiences and results using the CBMnet protocol including precise time synchronization and clock distribution*, Deutsche Physikalische Gesellschaft EV (DPG11), Frühjahrstagung, Münster, Germany, März 21-25, 2011.
- [5] Frank Lemke, Sven Schenk, Ulrich Brüning; *Demonstrator beam time results for the clock distribution and synchronization of the CBM-DAQ system*, ISBN 978-3-9811298-8-5, p. 60, CBM Progress Report 2010, CBM Collaboration, Darmstadt, Germany, 2011.
- [6] Frank Lemke, Sven Schenk, Ulrich Brüning; *The Hierarchical CBM Network Structure and the CBMnet V2.0 Protocol*, Deutsche Physikalische Gesellschaft EV (DPG12), Frühjahrstagung, Mainz, Germany; März 19-23, 2012.
- [7] F. Lemke, S. Schenk, U. Brüning; *The adapted CBM network structure design and CBMnet V2.0 implementation*, ISBN 978-3-9811298-9-2, p.61, CBM Progress Report 2011, CBM Collaboration, Darmstadt, Germany, 2012.
- [8] Frank Lemke, Ulrich Brüning; *Design Concepts for a Hierarchical Synchronized Data Acquisition Network for CBM*, IEEE 18th Real-Time Conference 2012 (RT12), Berkeley, CA, USA, Juni 11-15, 2012.
- [9] Frank Lemke, Sven Schatral, Sven Schenk, Ulrich Brüning; *Status of CBMnet integration and HUB design*, ISBN 978-3-9815227-0-9, p. 84, CBM Progress Report 2012, CBM Collaboration, Darmstadt, Germany, 2013.

Diplom-/Bachelor-/Master-/Doktorarbeiten

- [10] Philipp Schäfer; *Synchronization of Front-End Electronics in a Data Acquisition Interconnection Network*, Bachelor Thesis, 26.06.2012.
- [11] Frank Lemke; *Unified Synchronized Data Acquisition Networks*, Promotion, Prüfungsdatum 30.11.2012.

Teilprojekt 2: Lehrstuhl Männer

Detektordatenspeicher und Netzwerk

Das FPGA Modul, das den Datentransfer zwischen PCIe und der internen Logik des Active-Buffer-Boards bewerkstelligt, wurde auf die neue FPGA-Familie Virtex-5 übertragen. Der Hauptunterschied der jeweiligen PCIe Interfaces liegt in der Breite des Datenbusses, der für Virtex-5 von 32 auf 64 Bit erhöht wurde. Für das neue Modul wurde eine ausführliche Testsuite erstellt, mit deren Hilfe auch bisher unentdeckte Fehler in der Logik gefunden und beseitigt werden konnten. Eine Skizze der aktuellen Architektur ist in Abbildung 1 zu sehen.

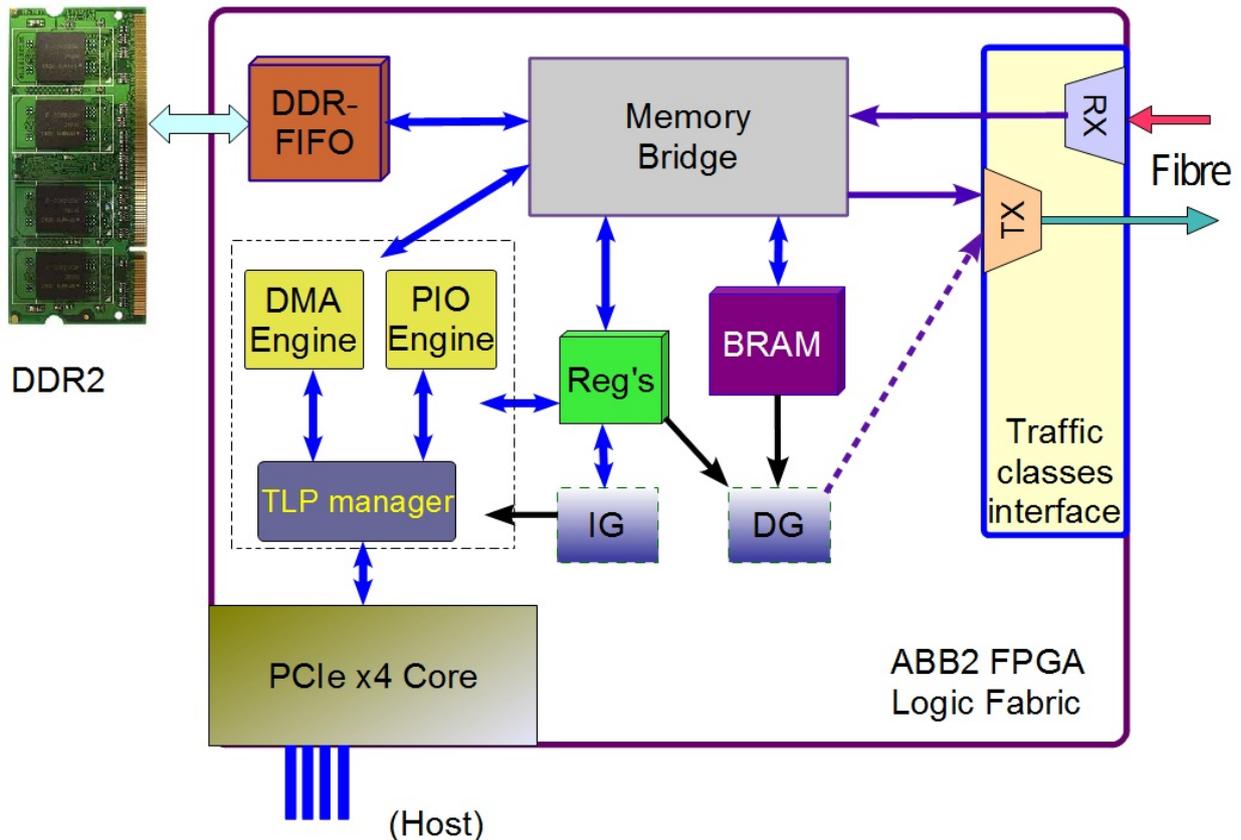


Abbildung 1: ABB2 Blockdiagramm

In einem weiteren Schritt wurde das PCIe Modul auf die derzeit aktuellste FPGA Familie Virtex-6 übertragen und mit einem schnellen Speicherinterface für DDR3-RAM verbunden. Die Datenübertragung zwischen PC und DDR3-Speicher auf dem Virtex-6 basierten ABB wurde verifiziert.

Jede Anpassung an eine neue FPGA-Familie erfordert spezifische Anpassungen, da regelmäßig wenigstens kleinere Abweichungen in der Logik auftreten. Um die dabei typischerweise auftretenden Fehler schnell zu finden, wurde eine Testumgebung entwickelt. Dabei wird ein VHDL-Model der PCIe Transaktionsschicht verwendet, um zufällige (aber zulässige) Zugriffsmuster zu erzeugen. Im VHDL-Simulator werden die tatsächlichen Antworten des Systems mit dem erwarteten Verhalten verglichen. Tabelle 1 gibt eine Übersicht der abgeprüften Situationen.

Tabelle 1: PCIe Prüffälle

Test	Beschreibung	Zweck
PIO und DMA, 64 bit Adresse	Korrekte Behandlung von 3 und 4-DW Header	Unterstützung von 64 Bit Systemen

DMA Status Prüfung - Polling	Prüft DMA Status per MRd	Status muss vom Nutzer lesbar sein
DMA Status Prüfung – INT	Test Interrupt Erzeugung	Asynchrones Ende
4kB Grenzen	Prüfung der DMA Descriptoren	4k Grenzen dürfen nicht überschritten werden
Tx TLP Paket Prüfung	Korrekte Formatierung der TLP	Verifikation
Rx TLP Paket Prüfung	Korrekte Formatierung der TLP	Verifikation
PIO BAR Zugriffe (BAR 0,1,3)	PCIe Adressbereiche mit PIO testen	Alle Bereiche müssen erreichbar sein
DMA BAR test (BAR1,3)	PCIe Adressbereiche mit DMA testen	DMA Zugriffe nur auf DMA Bereiche
Back-to-back Transaktionstest	Unmittelbar verbundene Transaktionen	Test auf korrektes Timing
0-Length TLPs PIO	Transaktionen ohne Daten	Funktionale Verifikation
0-Length TLPs DMA	Dito, mit DMA	Funktionale Verifikation
RD-Req-Größen: 128..4096 Bytes	Verschiedene gültige Konfigurationen	Funktionale Verifikation
Max-Payload-Größen: 128..4096 Bytes	Verschiedene gültige Konfigurationen	Funktionale Verifikation
RD-Completion Grenze: 64, 128 Bytes	Verschiedene gültige Konfigurationen	Funktionale Verifikation
DMA mit 1 Descriptor	Großer zusammenhängender DMA Bereich (Kernel Buffer)	Funktionale Verifikation
DMA mit mehreren Descriptoren	Scatter-Gather DMA (User Buffer)	Funktionale Verifikation
DMA-Descriptor Lesen mit 1 Completion	Standard-Fall	Funktionale Verifikation
DMA-Descriptor Lesen mit 2 Completions	Spezialfall	Funktionale Verifikation
DMA Rücksetzen	Rücksetzen muss DMA Logik in Ausgangszustand setzen	Funktionale Verifikation
Interrupt Ein/Aus	Aktivieren/Deaktivieren der Interrupts	Funktionale Verifikation
Interrupt Statistik	Überprüfen der Aktivierungs- und Bestätigungszähler	Zählerwerte müssen gleich sein
Blockierung	PCIe Interface Aktivität	Interface muss immer gültige Signale liefern
Rx Flusskontrolle	Test der Flusssteuerung	Funktionale Verifikation
Tx Flusskontrolle	Test der Flusssteuerung	Funktionale Verifikation

Die Speicherkapazität des ABB2 FIFO-Speichers wurde auf die Gesamtgröße des DDR2-Speichers von 256MB erweitert. Dazu musste die Speicherverwaltung in VHDL wesentlich erweitert werden. Um eine zuverlässige Funktion zu garantieren, wurde zunächst eine eigenständige Testumgebung eingesetzt, bei der manuell (über Taster) verschiedene Zufallsmuster für Schreib- und Lesezugriffe ausgewählt werden

Publikationen:

- [1] Frank Lemke, Sebastian Manz, Wenxue Gao; *Time synchronization and measurements of a hierarchical DAQ network* Deutsche Physikalische Gesellschaft EV (DPG10), Frühjahrstagung, Bonn, Germany, März 15-19, 2010.
- [2] W. Gao, A. Kugel, A. Wurz, G. Marcus, M. Stapelberg, R. Männer; *Optical Communication Tests with Active Buffer Board*, ISBN 978-3-9811298-7-8, p. 55, CBM Progress report 2009, CBM Collaboration, Darmstadt, Germany, 2010.
- [3] W. Gao; ABB2 Status, 16th CBM Collaboration Meeting Mamaia, September 2010.
- [4] A. Wurz, W. Gao, A. Kugel, and A. Männer; *Memory kernel development of the Active Buffer*, ISBN 978-3-9811298-8-5, p. 65, CBM Progress Report 2010, CBM Collaboration, Darmstadt, Germany, 2011.

Diplom-/Bachelor-/Master-/Doktorarbeiten

- [5] Wenxue Gao; *Active Buffer Development in CBM Experiment*, Promotion, Prüfungsdatum 22.03.2012.