Kontaktierungsverfahren und Prozesstechnik für Ultra-Fine-Pitch-Baugruppen

Ergebnisbericht des BMBF Verbundprojektes PROUFP

Jörg Franke (Hrsg.) Lehrstuhl für Fertigungsautomatisierung und Produktionssystematik Friedrich-Alexander-Universität Erlangen-Nürnberg

Die diesem Bericht zugrunde liegenden Arbeiten der Projektpartner wurden mit Mitteln des Bundesministeriums für Bildung und Forschung (BMBF) innerhalb des Rahmenkonzeptes "Forschung für die Produktion von morgen" mit den Förderkennzeichen 02PG2360, 02PG2361, 02PG2362, 02PG2363, 02PG2364 und 02PG2366 gefördert und vom Projektträger Karlsruhe (PTKA) betreut.

Die Verantwortung für den Inhalt dieser Veröffentlichung liegt bei den Autoren.



Bibliografische Information der Deutschen Bibliothek

Die Deutsche Bibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliothek; detaillierte bibliografische Daten sind im Internet über http://dnb.ddb.de abrufbar.

ISBN 978-3-87525-313-9

Dieses Werk ist urheberrechtlich geschützt.

Alle Rechte, auch die der Übersetzung, des Nachdruckes und der Vervielfältigung des Buches oder Teilen daraus, vorbehalten.

Kein Teil des Werkes darf ohne schriftliche Genehmigung des Verlages in irgendeiner Form (Fotokopie, Mikrofilm oder ein anderes Verfahren), auch nicht für Zwecke der Unterrichtsgestaltung - mit Ausnahme der in den §§ 53, 54 URG ausdrücklich genannten Sonderfällen -, reproduziert oder unter Verwendung elektronischer Systeme verarbeitet, vervielfältigt oder verbreitet werden.

© FAPS-TT GmbH Fürth 2010 Herstellung: inprint GmbH, Erlangen Printed in Germany

Vorwort

Die Verarbeitung von elektronischen Bauelementen im Feinstleiterbereich (Ultra-Fine-Pitch) stellt höchste Anforderungen an die Anlagentechnik und die Prozessführung. Zweipolige Bauelemente der Bauform 01005 mit Kantenlängen von 400 x 200 μ m oder Bauteile mit Pitchabständen (Abstand Anschlussbein zu Anschlussbein) von bis zu 20 μ m erfordern bereits bei der Bauteilmontage eine hochgenaue Platzierung. Bei zunehmender Miniaturisierung der elektronischen Bauteile stellt dies eine steigende Herausforderung an die Aufbau- und Verbindungstechnik dar, da hierzu zuverlässige und wirtschaftliche Verfahren entwickelt und bereitgestellt werden müssen.

Ziel des Projektes war es, für die Kontaktierung von hochminiaturisierten elektronischen Baugruppen eine neue Anlagen- und Prozesstechnik zu entwickeln. Schwerpunkte waren dabei die zuverlässige Herstellung von Lötverbindungen mit Strukturen bis zu 20 µm sowie die verbesserte Montage der immer kleiner werdenden Elektronikkomponenten aus produktionstechnischer Sicht. Anhand von Demonstratoren, z. B. aus dem medizintechnischen Bereich, wurde die Anlagen- und Prozesstechnik erprobt. Die wesentlichen Ergebnisse sind:

- Auf Leiterplatten können mit den entwickelten Verfahren Leiterbahnstrukturen bis 30 µm hergestellt werden.
- Die Verarbeitung von Lotkugeln der Größe bis 30 µm f
 ür die Flip-Chip Montage ist möglich.
- Für die Flip-Chip Kontaktierung wurde die Erhöhung des Abstands (Stand Off) der Bauteile gegenüber der Leiterplatte durch das übereinander Drucken von mehreren Lotkugeln mit Tropfendurchmesser von 80 µm ermöglicht. Weiter konnten, mit der gleichen Technologie, Tropfendurchmesser von 50 µm aufgebracht werden.
- Eine bessere Selbstzentrierung durch das gezielte Einbringen von Vibrationen während des Reflow-Lötprozesses konnte nachgewiesen und in einem Anlagenkonzept umgesetzt werden.

Neben der erreichten Verbesserung der Zuverlässigkeit wurde der Prozess derart gestaltet, dass er sich in den Standard-SMT-Prozess integrieren lässt. Die Potenziale der entwickelten Anlagenund Prozesstechnik zur Herstellung hochminiaturisierter elektronischer Baugruppen wurden anhand von Qualifizierungsmaßnahmen beispielsweise aus der Medizintechnik erprobt und die Einsatztauglichkeit der im Projekt erarbeiteten Lösungen nachgewiesen.

Die Partner in diesem Verbundprojekt wurden im Rahmenkonzept "Forschung für die Produktion von morgen" des Bundesministeriums für Bildung und Forschung (BMBF) gefördert. Allen sei an dieser Stelle gedankt, die mit ihrem Wissen, Engagement und ihren Erfahrungen an dieser Forschungs- und Entwicklungsarbeit mitgewirkt haben.

Karlsruher Institut für Technologie (KIT) Projektträger Karlsruhe (PTKA)

Stefan Scherr September 2010



BETREUT VOM



Beitragende Autoren

Dipl.-Ing. Rolf L. Diehm Seho Systems GmbH, Kreuzwertheim

Dr.-Ing. Rainer Dohle Micro Systems Engineering GmbH, Berg

Dipl.-Ing. Georgi Georgiev KSG Leiterplatten GmbH, Gornsdorf

Dipl.-Ing. Stefan Härter

Lehrstuhl für Fertigungsautomatisierung und Produktionssystematik, Friedrich-Alexander-Universität Erlangen-Nürnberg

Dr.-Ing. Oliver Keßling Lehrstuhl für Mikrotechnik und Medizingerätetechnik, Technische Universität München

Dipl.-Ing. Thomas Oppert PAC TECH - Packaging Technologies GmbH, Nauen

Dipl.-Ing. Michael Pfeffer

Lehrstuhl für Fertigungsautomatisierung und Produktionssystematik, Friedrich-Alexander-Universität Erlangen-Nürnberg

Dr.-Ing. Florian Schüßler

Lehrstuhl für Fertigungsautomatisierung und Produktionssystematik, Friedrich-Alexander-Universität Erlangen-Nürnberg

Inhaltsverzeichnis

1	Einle	itung							
2	Umfe	Umfeld und Zielsetzung des Projektes ProUFP							
	2.1	Anforderungen und Lösungsansätze für hochminiaturisierte Elektronikbaugruppen							
	2.2	Stand of	der Wissenschaft und Technik zu Beginn des Projektes	5					
	2.3	Ausgar	ngsfragestellung und Ziele	7					
3	Berei	tstellung	kleinster Lotmengen bei feinsten Anschlussstrukturen	10					
	3.1	Anlage Bauteil	Anlagen- und Prozesstechnik für die Verarbeitung kleinster Lotvolumen auf Bauteilebene						
		3.1.1 3.1.2	Wafer Level Solder Sphere Transfer Prozess Solder Jetting SB ²						
	3.2	Substra	ate für feinste Anschlussstrukturen	18					
		3.2.1	Stand der Technik						
		3.2.2	Definition von "feinsten Strukturen" in der Leiterplatten-Fertig und dem Baugruppen-Design	ung 22					
		3.2.3	Einflussgrößen bei der Erzeugung von "feinsten" Leiterbildstru in der LP-Fertigung	ıkturen 23					
		3.2.4	Projektziele, Soll-Dimensionen und geplante praktische Einsätz der Produktrealisierung	ze bei 24					
		3.2.5	LP-Bemusterungen, Optimierungen und Anpassungen des LP- bei den unterschiedlichen LP-Demonstratoren	Designs 25					
		3.2.6	Technologische Wege bei der Herstellung der LP-Demonstrato	oren33					
		3.2.7	Mögliche Anwendungsfelder	35					
		3.2.8	Testschaltungsträger aus anorganischem Substratmaterial						
	3.3	Kontak	Kontaktierungsverfahren für hochminiaturisierte Bauelemente						
		3.3.1	Flip-Chip-Kontaktierung						
		3.3.2	Underfillprozess	47					
		3.3.3	Baugruppenzuverlässigkeit						
		3.3.4	Diskussion der experimentellen Ergebnisse						
		3.3.5	Werkstoffwissenschaftliche Untersuchungen						

I

	3.3.6	Schlussfolgerungen		
Erzeu	gung var	iabler Stand-Offs zur Reduzierung der Stressbelastung82		
4.1	System	ntechnik zur Dosierung hochviskoser Medien82		
	4.1.1	Ansteuerkomponenten für den Hochtemperaturdruckkopf93		
	4.1.2	Positionierung und Ansteuerprogramm mit Benutzeroberfläche 103		
4.2	Aufbau	a elektronischer Baugruppen mit erhöhtem Stand-Off110		
	4.2.1	Vermessung der Lotbumps		
	4.2.2	Vermessung der Lotsäulen		
	4.2.3	Prozesskette für die No-Flow-Underfill-Verarbeitung116		
	4.2.4	Materialien und Prozesse		
	4.2.5	Aufbau- und Verbindungstechnik		
4.3	Unters Stand-	uchungen zur Baugruppenzuverlässigkeit von Baugruppen mit variablen Off126		
Anlag	entechni	k und Prozessführung bei Ultra-Fine-Pitch-Baugruppen		
5.1	Möglic	hkeiten der Strömungs- und Temperaturprofiloptimierung 129		
	5.1.1	Strömungsverhältnisse und deren Einfluss auf ein Verblasen der Bauelemente		
	5.1.2	Reduzierung der thermischen Belastung durch den Einsatz alternativer Schutzgase		
5.2	Unters	tützung des Selbstzentrierungseffektes durch aktive Schwingerregung 143		
	5.2.1	Einleitung und Grundlagen		
	5.2.2	Aufbau und Durchführung der Experimente146		
	5.2.3	Diskussion der Ergebnisse		
	5.2.4	Konzepte zur Anlagenumsetzung		
Möglie	che Anw	endungsfelder166		
Zusan	Zusammenfassung und Ausblick1			
Litera	tur			
Danks	agung			

1 Einleitung

Autoren: Dr. Schüßler, Florian¹; Diehm, Rolf L.²

¹ Lehrstuhl für Fertigungsautomatisierung und Produktionssystematik, FAU Erlangen-Nürnberg

² Seho GmbH

Die Entwicklung und Gestaltung von elektronischen Produkten war schon immer von technologischen und gesellschaftlichen Trends geprägt. Einer der maßgeblichen Treiber hierbei ist stets die Miniaturisierung. Dies sowohl zur Erhöhung der Funktionsvielfalt im Sinne der Funktionsintegration als auch zur Reduzierung der Baugröße mit dem Fokus auf Systemintegration. Neben den elektronischen Bauelementen ist hiervon immer auch die Produktionstechnologie betroffen, die neue, kleinere Bauelementformen in hochkomplexen Prozessen sicher verarbeiten muss. Natürlich müssen auch die anderen Komponenten einer elektronischen Baugruppe wie beispielsweise Substrate oder Vergussmassen die hohen Anforderungen in Bezug auf die Reduzierung der Baugröße abdecken.

Im Rahmen des BMBF-Verbundprojektes "Kontaktierungsverfahren und Prozesstechnik für Ultra-Fine-Pitch-Baugruppen" wurden Teilbereiche der Herausforderung Miniaturisierung aufgegriffen und innerhalb dreier Arbeitspakete bearbeitet. Der Hauptfokus des Projektes lag auf der Entwicklung und Umsetzung einer Prozesskette, um kleinste Lotvolumina auf Chip-Ebene bereitzustellen, die Bauelemente entlang der Prozesskette der Elektronikproduktion zu verarbeiten und die Zuverlässigkeit der Verbindungstellen nachzuweisen. Die Ergebnisse zu diesen Arbeiten sind in Kapitel 3 beschrieben.

Durch die Miniaturisierung der Anschlussstrukturen elektronischer Bauelemente wird analog auch der Stand-Off der Komponenten herabgesetzt. Dies ist insbesondere deswegen als kritisch einzustufen, da sich die Form der Lötstelle, und hier insbesondere deren Höhe, direkt auf die Zuverlässigkeit auswirkt. Trotz der Miniaturisierung der Lötstellen einen möglichst hohen Stand-Off zu erreichen ist in diesem Zusammenhang die Herausforderung. Ziel innerhalb des Verbundprojektes war es aus diesem Grund zu untersuchen, ob durch den Einsatz eines Jetting-Verfahrens (mit flüssigem Lot) der Stand-Off gezielt erhöht werden kann und sich hierdurch die Zuverlässigkeit steigern lässt. Die Umsetzung dieser Aufgabenstellung ist in Kapitel 4 dargestellt.

Möglichkeiten die Anlagentechnik auf die voranschreitende Miniaturisierung vorzubereiten sind in Kapitel 5 beschrieben. Neben Untersuchungen zur Gefahr des Verblasens von Bauelementen aufgrund der Luftströmung der Prozesskammer der Reflowanlage ist ebenfalls der Einsatz von alternativen Prozessgasen zur Reduzierung der Temperaturbelastung diskutiert. Abschließend wird ein Lösungsansatz zur Verbesserung des Einschwimmverhaltens von elektronischen Bauelementen durch eine aktive Schwingungsanregung vorgestellt.

Im letzten Kapitel dieses Buches werden mögliche Anwendungsfelder und Problemstellungen beschrieben, welche die Ergebnisse des Verbundprojektes ProUFP aufgreifen bzw. zu deren Lösung die Schlussfolgerungen aus den drei Arbeitspaketen beitragen können.

2 Umfeld und Zielsetzung des Projektes ProUFP

Autoren: Dr. Schüßler, Florian; Pfeffer, Michael

Lehrstuhl für Fertigungsautomatisierung und Produktionssystematik, FAU Erlangen-Nürnberg

Die zunehmende Miniaturisierung sowohl auf Chip-Ebene als auch bei den Anschlussstrukturen (Pitch-Abstand: 20 µm, [147], [82]) erfordert laut der vom BMBF initiierten Studie und den hieraus abgeleiteten Thesen bzw. Themenfeldern zum Forschungs- und Handlungsbedarf angepasste bzw. völlig neue Konzepte bei der Verarbeitung einzelner Komponenten bzw. bei der Herstellung der Baugruppen. Beispielhaft seien hier die Medizintechnik und der Übergang bei Implantaten in die zweite Generation genannt. Dieser ist dadurch gekennzeichnet, dass vermehrt Mikroelektronik und Mikrosystemtechnik in so genannte intelligente Implantate integriert werden. Sie übernehmen dann nicht nur mechanische Funktionen sondern können durch entsprechende Kombination von Sensorik und Aktorik Regelstrukturen oder Überwachungsfunktionen realisieren. Um einen für autarkes Arbeiten notwendigen geringen Energiebedarf zu erreichen, muss die Miniaturisierung hier weiter konsequent verfolgt werden.

2.1 Anforderungen und Lösungsansätze für hochminiaturisierte Elektronikbaugruppen

Die gegenwärtig zu beobachtenden Trends und technologischen Anforderungen gehen von einer sehr schnellen Entwicklung mikroelektronischer Produkte hin zu hochintegrierten nanoelektronischen Systemen aus, die gegenwärtig in unterschiedlichen Richtungen verläuft:

Die Entwicklung nanoelektronischer CMOS-Technologien mit weiter sinkenden Strukturgrößen (60nm-, 45nm- und 32nm-Technologien) im Bereich der Halbleitertechnologien führt zur Forderung nach einer rasch zunehmenden Miniaturisierung der zugehörigen Anschlussgeometrien im Packaging ("NanoAVT"). Auch für zukünftige höchstintegrierte nanoelektronische Schaltkreise stellen Drahtbonden und Flip-Chip-Kontaktierung Schlüsseltechnologien für die Verbindungstechnik dar, speziell für die Kontaktierung der Chips. Als Konsequenz ergeben sich hieraus neue Anforderungen, z. B. Pitch-Reduzierung bis zu 20 µm für das Flip-Chip-Bonden im 1st-levelinterconnect (siehe Tabelle 1).

Die aktuellen Anforderungen an eine hohe Integrationsdichte und die Erweiterung der Einsatzmöglichkeiten in der Elektronik führen andererseits aber auch zur Integration von unterschiedlichen Einzelkomponenten in komplexere Systeme. Dies betrifft sowohl die Entwicklung von "System-in-Package"-Konzepten als auch Lösungen, die auf eine heterogene Integration unterschiedlicher Funktionskomponenten in kompakten (z. B. mechatronischen) Systemen für anwendungsspezifische Aufgaben abzielen. Zusätzlich zur nötigen geometrischen Reduzierung der Anschlussgeometrien und steigenden Anschlusszahlen der Chips resultieren hieraus weitere Anforderungen, für die neue flexible Lösungen in der Flip-Chip-Technologie erforderlich sind.

Jahr	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018
Pitch der C	hip Kon	taktieru	ng (µm)										
Wire bond-ball	40	35	30	25	25	20	20	20	20	20	20	20	20
Wire bond- wedge	30	25	20	20	20	20	20	20	20	20	20	20	20
TAB	35	35	30	30	25	25	25	20	20	20	15	15	15
Flip chip area array	150	150	130	130	120	110	100		90		80		70
Peripheral flip chip	60	60	40	40	30	30	20	20	20	20	15	15	15

Tabelle 1: AVT Roadmap, International Technology Roadmap for Semiconductors, 2003, [82]

Im Bereich der Verbindungstechnologie besteht demzufolge dringender Entwicklungsbedarf, angepasste Solder-Balls und Metallisierungen für Ultra-Fine-Pitch-Anwendungen und dafür neue Generationen von Flip-Chip-Technologien bereitzustellen sowie angepasste Zuverlässigkeitsmodelle und Lebensdauerprognosen abzuschätzen.

Die gleichzeitig angestrebte Verringerung der Kosten pro Anschluss (bis zu <0,2 Cent/Anschluss, [82]) stellt an die Unternehmen höchste Anforderungen hinsichtlich geeigneter und vor allem kosteneffektiver Produktionsprozesse. Neben Massenprozessen ist dabei zusätzlich eine hohe Flexibilität bei geringen Stückzahlen bis hin zur individuellen Fertigung ein Ziel, das verfolgt werden muss. Deshalb müssen Kontaktierungsverfahren und Prozesstechniken unter den oben genannten Randbedingungen für Bauelemente im Ultra-Fine-Pitch-Bereich entwickelt werden. Der Anwendungsbereich erstreckt sich dabei auf Lösungen für Zweipoler, Flip-Chip-ICs, System-On-Chip (SoC)- und System-On-Package (SoP)-Anschlussstrukturen. Prinzipiell lassen sich hieraus drei Themenbereiche ableiten:

Verdrahtungsträger:

Fragestellungen der mechanischen Bearbeitung, Strukturierung der Anschlussflächen, Routing der Bauelementanschlüsse, Entflechtung, Oberflächenfinish, Planaritätsanforderungen

Montageverfahren:

> Bereitstellung und Struktur des Fügematerials, Platzierung der Bauelemente, Herstellen der Fügeverbindung, mechanische Verstärkung, angepasste Prozesstechnik

Prüfung/Charakterisierung: Zuverlässigkeitsuntersuchungen, laufende Prüfungen

Aus Kostengründen sind alle Prozesse - soweit möglich - derart zu gestalten, dass diese nach Möglichkeit ohne größeren Aufwand in Standard-SMT-Linien integrierbar sind.

2.2 Stand der Wissenschaft und Technik zu Beginn des Projektes

Nach [102] sind die Haupttreiber in Asien im Bereich der Elektronik vor allem die Telekommunikation (Handys, LCD-Anzeigen) und Automotive-Applikationen. In Japan wird dabei als größte technologische Herausforderung die weitere Miniaturisierung gesehen. Für den LCD-Displaybereich wurden in Asien bereits 2006 30 μ m Line/Spaces (L/S) benötigt [83]. Vormals waren auf einseitigen Flex-Substraten 15 μ m L/S bereits in größerem Umfang verfügbar, eine weitere Reduzierung auf 10 μ m L/S und darunter wurde angestrebt. Bei mehrlagigen HDI-Boards waren 25 μ m L/S möglich. [102] Die Flip-Chip-Kontaktierung ist ein wichtiges Verfahren zur Chipanschlusskontaktierung und -montage in der Mikro- und Nanoelektronik. Es wird eingesetzt, um die elektrischen Verbindungen zwischen den strukturierten Anschlussflächen des Chips (Bondpads auf der Planarseite) und den äußeren Anschlüssen (z. B. Anschlusselemente des Gehäuses) zur Verbindung des Halbleiterchips mit der nächst höheren Verdrahtungsebene herzustellen. Die technologischen Verfahrensparameter bei der Flip-Chip-Kontaktierung betreffen Temperaturprofil, Andruckkraft, Aushärtezeit und Aushärtetemperatur für den Underfill.

Prinzipiell beruhen bestehende Lösungen darauf, dass die Bumps des Chips mit oder ohne Verbindungsmedium bzw. durch Wire-Bonden auf das Substrat kontaktiert werden. Ziel des von der EU geförderten Projektes "Chip interconnect with reduction of real estate using micro-substrates (Cirrµs)" [75] war es, Technologien für die Verarbeitung von Flip-Chips mit einem Pitch von 40 µm zur Verfügung zu stellen.

In einer bedeutenden Zahl von Systemen, speziell auch bei hohen Zuverlässigkeitsanforderungen, können herkömmliche Kontaktierverfahren wie das Drahtbonden nicht eingesetzt werden. Gründe hierfür resultieren aus den Anforderungen an die metallurgische Zuverlässigkeit des Kontaktsystems, den speziellen Anforderungen an die Bondbarkeit bzw. an die Integrationsdichte und an das Anschlussraster sowie die Stromtragfähigkeit und Hochfrequenzeigenschaften. Die für diese Einsatzbereiche erforderlichen kleinen Solder-Balls für die Flip-Chip-Kontaktierung sind jedoch in der Regel nicht verfügbar, insbesondere wenn Lotkugeln verarbeitet werden sollen.

Insgesamt zeigt sich aber, dass mit zunehmender Anschlussdichte bei der Flip-Chip-Montage das Prozessfenster enger und der Prozess selbst vor allem hinsichtlich der Reproduzierbarkeit kritischer wird. Vor diesem Hintergrund werden industriell in der Regel beim Flip-Chip-Bonden Lotkugeln mit mindestens 100 µm Durchmesser eingesetzt und es wird nach wie vor mit Pitches größer 100 µm gearbeitet.

Insbesondere das Placement von Lotkugeln kleiner 60 µm ist weitgehend unerforscht und wird industriell noch nicht sicher beherrscht. Dazu soll im Rahmen dieses Projektes ein entscheidender Beitrag geleistet werden. Bei dem Plazieren von Mikrolotkugeln liegt der derzeitige Stand

der Technik bei Kugeln von 100 µm. Die Firma Pac Tech hat z. B. im Jahr 2005 ein Gerät entwickelt, welches das Plazieren von 80 µm Kugeln beherrscht. Mit den avisierten Arbeiten im Projekt soll ein paralleler Lotkugeltransfer von bis zu 500 Solder-Balls mit einem Durchmesser von bis zu 15 µm prozesstechnisch entwickelt und anlagentechnisch umgesetzt werden. Hiermit würde eine Lösung geschaffen, die wesentlich über dem derzeitigen Stand der Technik liegt und damit ließe sich ein signifikanter Vorsprung gegenüber der Konkurrenz erreichen, die sich vor allem im asiatischen Raum befindet.

Beim Jetten kleinster Lotvolumina wird ein Strom von Lottropfen auf die UBM platziert. Dieses Verfahren ist erst ansatzweise erforscht und hat industriell noch keine weite Verbreitung gefunden. Im vom BMBF geförderten Projekt "Lotdruckverfahren zur Herstellung von Bumps (JET)" [84] wurden ein Prozess und die zugehörige Systemtechnik auf Basis des Piezodrucks zum Bedrucken von Wafern mittels Flüssiglottropfen entwickelt. Die erreichbaren Strukturgrößen einzelner Bumps liegen dabei in einer Größenordnung von ca. 80 µm [78].

Verfahren zum Dosieren von flüssigem Lot wurden bisher nur ansatzweise von wenigen Firmen umgesetzt. Verschiedene Forschungslabore haben hierzu bereits Arbeiten durchgeführt. Die flexible Bereitstellung mittels Drop-On-Demand-Verfahren bildet hier die Ausnahme. Arbeiten auf diesem Gebiet berichten von Problemen mit der hohen Temperatur (Zerstörung des Aktors) und störenden Blasen. Diese Blasen verhindern bei den beschriebenen akustischen Systemen (Trop-fenerzeugung auf der Grundlage von Druckwellen) einen zuverlässigen Tropfenausstoß. Eine Entlüftung des Systems gestaltet sich als schwierig: Vor allem nach Phasen in denen die meist separat zu betreibende Heizung abgeschaltet wurde, entstehen durch die Schrumpfung des Lots und das anschließende erneute Verflüssigen an unzugänglichen Stellen Luftblasen. [127][108][129][135]

Weitere Flip-Chip-Verfahren sind das Gold-Stud-Bumping (Fujitsu Ltd., siehe Bild 1) [64], das von Motorola entwickelte und von Infineon untersuchte Kontaktieren mit Microsprings, welches industriell zum Proben von Chips eingesetzt wird (FormFactor, Inc.) sowie das in Zusammenarbeit von Infineon und Dow Corning entwickelte Verfahren zur Erzeugung von metallisierten Silikonbumps [32]. Diese Verfahren haben aber aufgrund entscheidender Nachteile bisher keine industrielle Verbreitung für die Flip-Chip-Montage gefunden. Auch bumplose Flip-Chip-Verfahren wurden veröffentlicht [63].

Auf wissenschaftlicher Ebene sind neben den nationalen Einrichtungen wie z. B. dem Fraunhofer-Institut für Zuverlässigkeit und Mikrointegration (IZM) [79] und dem Institut für Aufbauund Verbindungstechnik der Elektronik (IAVT) [76] der Technischen Universität Dresden vor allem im nordamerikanischen und asiatischen Raum Forschungsaktivitäten auf dem Gebiet der Mikroelektronik und des Wafer-Level-Packaging festzustellen. Exemplarisch seien das "Georgia Tech Microsystems Packaging Research Center" [81] in den USA und das A*Star "Institute of Microelectronics (IME)" [77] in Singapur genannt. Hier zeigt sich auch ein starker Trend zu intensiven Kooperation mit Industrieunternehmen [80].



Bild 1: Gold Stud Bump (Fujitsu), [64]

2.3 Ausgangsfragestellung und Ziele

Aus der 16. Bekanntmachung des BMBF mit dem Schwerpunkt "Aufbau- und Verbindungstechnik auf dem Weg zur Nanoelektronik" ergeben sich die Ziele des hier beschriebenen Forschungsvorhabens wie folgt: Es sollen innerhalb des Verbundprojektes neue Techniken zur zuverlässigen elektrischen und mechanischen Kontaktierung der Bauteile mit der Leiterplatte und untereinander entwickelt werden. Hierbei sollen einerseits Lösungen beim 1st-level-interconnect (Flip-Chip auf Interposer) und andererseits beim 2nd-level-interconnect (Bauelement auf Leiterplatte) erarbeitet werden. Des Weiteren stehen Aspekte des Designs höchstminiaturisierter Komponenten sowohl auf der Chip- als auch auf der Verdrahtungsebene sowie Strategien zur Prüfbarkeit innerhalb der Fertigungsprozesse im Vordergrund.

Die Verringerung der Die-Fläche einerseits und die Erhöhung der Anschlusszahl bei den Bauelementen andererseits führen zu immer geringeren Pitch-Abständen. Durch diese hohe Integrationsdichte eröffnen sich z. B. im Bereich der Hochfrequenz- oder Medizintechnik, neue Lösungen mit geringstem Platzbedarf. Laut der oben genannten BMBF-Studie [147] werden bis zum Jahr 2010 Pitches von 20 µm bei SoCs und Line/Spaces von 24 µm bei SoPs auf HDI-Boards erwartet. Ziel des Verbundprojektes ist es deshalb, den sich hieraus ergebenden Herausforderungen durch eine angepasste Gestaltung der Verbindungsstellen sowie durch die Bereitstellung einer geeigneten Anlagen- und Prozesstechnik gerecht zu werden. Gegenstand des vorliegenden Projektes ist die Untersuchung zunehmend kleinerer Anschlussraster unter Einsatz der Flip-Chip-Kontaktiertechnologie. Durch Verwendung kleinerer Lotkugeln soll dabei eine weitere Steigerung der Integrationsdichte und Pitchreduzierung in Richtung Nano-AVT erreicht werden.



Das Gesamtziel des geplanten Vorhabens besteht insbesondere darin, die Flip-Chip-Technik mit kleineren Solder-Balls als Schlüsseltechnologie für neue Einsatzfelder zu etablieren und so eine weltweite Spitzenposition Deutschlands zu erreichen und auszubauen. Weiterhin sind die geforderte Reduzierung von Anschlussgeometrien und die Verwendung kleinerer Balls prozesstechnisch abzusichern sowie durch die Erhöhung der Effektivität und Sicherung der Zuverlässigkeit die Marktfähigkeit der Technologie zu erreichen und speziell auch für KMU zugänglich zu machen. Für das Erreichen dieser Ziele ist im Vorhaben die Entwicklung einer optimierten und aufeinander abgestimmten vertikalen Prozesskette in der Fertigung, eine gezielte Optimierung und Anpassung der Technologien (Loteigenschaften, Underfilleigenschaften) sowie eine umfassende Analyse und Qualifizierung von Solder-Balls sowie des Jettens von Lottropfen für die Flip-Chip-Kontaktierung speziell im Bereich reduzierter Lotkugeldurchmesser (<40 µm) vorgesehen. Auf diese Weise können mit dieser bisher einzigartigen Lösung neue und innovative Spezialprodukte mit hohem Wertschöpfungspotenzial entwickelt und produziert und die weltweite Spitzenposition Deutschlands im Bereich spezialisierter hochintegrierter Elektronikprodukte erreicht bzw. gestärkt werden.

Aus diesem Ansatz ergeben sich die folgenden zu lösenden Teilaufgaben:

Der beabsichtigte verbreitete industrielle Einsatz besonders kleiner Lotkugeln setzt u. a. bei der Lotherstellung voraus, dass effiziente und kostengünstige Kugelherstellverfahren entwickelt bzw. Verfahren zur Separation eng tolerierter Durchmesser optimiert werden. Weiterhin werden geeignete Methoden für das Handling kleiner Lotkugeln sowie für die Qualitätssicherung verlangt.

Im Bereich der Verarbeitung sehr kleiner Lotkugeln muss zunächst auch die zugehörige Maschinentechnik für das Placement weiter entwickelt und an die spezifischen Anforderungen durch die neue Flip-Chip-Generation angepasst werden.

Für die Anwendung kleinster Lotkugeln in der Fertigung sind auf die materialtechnischen Anforderungen von Chip (z. B. Padmetallisierung und -geometrie), Substrat, Kombination von Kugelplacement- und Jettingtechnologie sowie insbesondere auf den reduzierten Kugeldurchmesser abgestimmte Kontaktier- und Underfilltechnologien und Prozessparameter zu entwickeln, zu verallgemeinern und den Anwendern zur Verfügung zu stellen.

Vor allem Anwendungen in der Automobil- und Medizintechnik erfordern gesicherte Kenntnisse über die Zuverlässigkeit der Kontaktierung und die potentiellen Fehlermechanismen für die beabsichtige Anwendung von "physics of failure"-Konzepten in der Industrie. Spezielle Fragestellungen erwachsen beispielsweise aus den reduzierten Kugel- und Kontaktgeometrien, die zu höheren spezifischen Beanspruchungen führen, aus der Verwendung neuer Lote bzw. Werkstoffkombinationen und deren Einfluss auf die Qualität der Verbindungszone und auf das Langzeitverhalten der Lotkontakte unter Einsatzbedingungen sowie aus der Wechselwirkung zwischen Kontaktierprozess und belastungsempfindlichen Komponenten.

Zur Lösung der Fragestellungen müssen die folgenden Einzelergebnisse erarbeitet werden:

- Entwicklung und Einführung neuer Lotkugeln für Pitches im 100
 µm-Bereich
- Erhöhung der Effektivität und Qualität in der Lotkugelherstellung, -siebung und -platzierung
- Anpassung der Maschinentechnik an die Bedingungen der produktiven Verarbeitung kleiner Lotkugeln
- Grundlegende Entwicklung der gesamten Prozesstechnologie f
 ür die Verarbeitung neuer und kleinerer Lotkugeln in einem feineren Pitch einschlie
 ßlich Flip-Chip- und Underfillverfahren.
- Überführung der Prozesstechnologie in Demonstrator-Anwendungen unter Fertigungsbedingungen
- Begleitende Sicherung der Qualität und Zuverlässigkeit durch werkstoffphysikalische Analysen und Untersuchung der kritischen Toleranzfragen
- Bewertung der Einsatztauglichkeit gängiger Zuverlässigkeitsuntersuchungen wie z. B. 150 °C Temperaturauslagerung, 85 °C/85 % r. F., Temperaturwechsel – 40 °C/RT/+125 °C bei bis zu 2000 h bzw. Zyklen
- Analyse des Miniaturisierungspotenzials von FR4-Leiterplatten, Polyimidträgern und metallisierten Keramiksubstraten
- Abstimmung, Entwicklung und Bereitstellung einer abgestimmten durchgehenden Technologiekette in der Fertigung von der Kugelherstellung bzw. -selektion bis zur nanoelektronischen Baugruppe mit Anwendungspotenzial

3 Bereitstellung kleinster Lotmengen bei feinsten Anschlussstrukturen

Die Miniaturisierung in der Bauelementtechnologie ist einer der stärksten Treiber für die Entwicklung elektronischer Produkte. Hierdurch sind auch die Produktionstechnologien einer ständigen Weiterentwicklung unterworfen, um den Anforderungen beispielsweise der Bauelemente durch verbesserte Prozesse und Abläufe gerecht zu werden. Sowohl bei der Bereitstellung kleinster Lotmengen zur Kontaktierung feinster Strukturen als auch bei der Substratherstellung erweisen sich etablierte Verfahren als zunehmend kritisch. Vor diesem Hintergrund wird im folgenden Kapitel die Entwicklung der kompletten Prozesskette, von der Bekugelung des Wafers, über die Substratherstellung und die Kontaktierung der Bauelemente beschrieben. Die Prozesskette stellt sich wie in Bild 2 gezeigt dar. Zunächst werden die Kugeln über eine Greifeinheit im Raster des Flip-Chips aufgenommen und auf dem Wafer in Flussmittel platziert und im Folgenden umgeschmolzen. Danach erfolgt die Kontaktierung der Bauelemente auf organischem Substratmaterial. Zur Qualifizierung der Baugruppen werden umfangreiche Zuverlässigkeitstests durchgeführt, die ebenfalls am Ende des Kapitels beschrieben werden.



Bild 2: Prinzipskizze des Verfahrens für die Bereitstellung definierter Lotmengen durch Kugeln mit definiertem Volumen

3.1 Anlagen- und Prozesstechnik für die Verarbeitung kleinster Lotvolumen auf Bauteilebene

Autor: Oppert, Thomas

PAC TECH - Packaging Technologies GmbH

In der Halbleiterindustrie gibt es hauptsächlich drei Technologien, um Lotkugeln auf Halbleiterwafern zu generieren: Lotpastendruck [99][119], Elektroplating und Solder Ball Drop. Die Auswahl dieser Technologien wird im Wesentlichen durch die folgenden Faktoren bestimmt: Größe der Lotbumps, Pitch, Kosten und Ausbeute. Diese Technologien sind mit den zunehmenden Anwendungen im Fine-Pitch-Bereich nicht mehr kompatibel und können daher nicht verwendet werden. Um den Lotauftrag in diesem Fine-Pitch-Bereich abdecken zu können wurde eine neue

Technologie entwickelt, der sogenannte Wafer Level Solder Sphere Transfer (WLSST), oft auch als Wafer Level Solder Balling oder Gang Ball Placement bezeichnet.

Zu Beginn des Projektes ProUFP existierte ein Maschinenprototyp mit manueller Be- und Entladung der Wafer, der durch die Firma PAC TECH gefertigte "Ultra-SB2 200" (Bild 3). Die genutzte semiautomatische Anlagentechnik verwendet eine dem Waferlayout entsprechende an einem speziellen Vakuumbondkopf befestigte Schablone. Dieser Bondkopf saugt über ein Vakuum die sich in einem Vorratsbehälter befindlichen vorgefertigten Lotkugeln simultan an. Die Schablone mit den angesaugten Lotkugeln wird hinsichtlich der Ausbeute optisch inspiziert und anschließend werden alle Kugeln mit definiertem Druck in die im Vorfeld auf den Wafer applizierten Flussmitteldepots gesetzt. Auch dies geschieht wiederum in einem Prozessschritt.



Bild 3: Semiauto Ultra-SB² 200 (links) und Waferchuck und Lotkugeltransfereinheit (rechts)

Mit dieser Maschine war es möglich Lotkugeln auf Wafer Level bis zu einer minimalen Größe von 100 μ m aufzubringen. Im Verlauf des Projektes wurde erfolgreich nachgewiesen, dass es möglich ist Lotkugeln bis zu Durchmessern von 30 μ m, bei einem Pitch <100 μ m, zu prozessieren, in dem der bestehende Prozess und die verwendete Hardware kontinuierlich weiterentwickelt wurde. Bild 4 zeigt eine vollautomatische Maschine mit Waferbe- und -entladung mittels eines Roboters, den durch PAC TECH gefertigten "Ultra-SB2 300".

Neben der zu optimierenden und weiterzuentwickelnden Anlagen- und Prozesstechnik stellten auch die verwendeten Materialien, insbesondere die Schablone und die Lotkugeln, ein gravierendes Problem dar. Schablonen mit der benötigten Genauigkeit kleinster Löcher und Lotkugeln, insbesondere <40 µm, mit entsprechend guten Toleranzen waren anfangs nicht verfügbar. Zahlreiche Evaluierungen und Qualifizierungen waren bis zum Erreichen des Projektziels von Nöten.





Bild 4: Automatischer Ultra-SB2 300 (links) und Robotermodul zu Wafer Be- und Entladung (rechts)

3.1.1 Wafer Level Solder Sphere Transfer Prozess

Die Aufbringung der vorgefertigten Lotkugeln wurde durch den hocheffizienten und sehr flexiblen Wafer Level Solder Sphere Transfer Prozess und dem Ultra-SB2 System gewährleistet [112], [105]. Die wichtigsten Prozessschritte sind dem Bild 5 zu entnehmen. Charakteristisch für den Prozess ist, dass alle für einen Wafer benötigten vorgefertigten Lotkugeln (Preforms) in einem Prozessschritt auf den Wafer aufgebracht (transferiert) werden. Dies wird durch eine strukturierte Vakuumschablone, deren Öffnungen mit dem Layout des Wafers bzw. der UBM (Under Bump Metallization) korrespondieren, realisiert. Der Bondkopf mit der Schablone fährt in das Reservoir mit den Lotkugeln herunter, das Vakuum wird eingeschaltet und die Kugeln werden in die Öffnungen der Schablone angesaugt (Bild 5 a). Nach optischer Inspektion der Schablone mit den Lotkugeln und nach Entfernen überschüssiger Lotkugeln (b) wird die Schablone zum, im Vorfeld mit Flussmittel versehenen, Wafer ausgerichtet. Der Bondkopf mit der Schablone fährt herunter und setzt alle Lotkugeln auf einmal mit einem definierten Druck in die Flussmitteldepots (c). Anschließend wird das Vakuum abgeschaltet, der Bondkopf fährt nach oben (d) und der Wafer ist fertig für den dann folgenden Löt- bzw. Umschmelzprozess (e).

Die Platziergenauigkeit der Lotkugeln lag beim ersten aufgebauten Prototypen bei $\pm 15 \ \mu m$, diese Genauigkeit ist für Kugeln >100 μm ausreichend. Um den Anforderungen des Projektes zu entsprechen und Kugeln bis <50 μm prozessieren zu können wurde im später gefertigten Gerät ein genaueres Achsensystem verwendet um eine Platziergenauigkeit der Lotkugeln von $\pm 5 \ \mu m$ zu gewährleisten.

Die Herstellung der Schablonen für den Wafer Level Solder Sphere Transfer ist ähnlich dem Prozess zur Herstellung von Schablonen für den Lotpastendruck. Für Lotkugeln <80 µm ist die Qualität von lasergeschnittenen Schablonen jedoch nicht ausreichend, da die Lochgröße der Schablone in etwa 50 % des Kugeldurchmesser entspricht. Daher sind für solche kleinen Lotku-





geln galvanisch hergestellte Schablonen besser geeignet. Die Dicke der Schablone ist weniger relevant.

Bild 5: Wafer Level Solder Sphere Transfer (WLSST)

Testsubstrat Wafer Pac 2.7

Für die ersten Untersuchungen mit 100 µm und 80 µm Lotkugeln der Legierung SnAgCu wurde ein Testwafer der Fa. PAC TECH verwendet (Bild 6). Im weiteren Projektverlauf wurde für die Prozessierung von Lotkugeln <80 µm ein spezieller Testwafer "Pac 2.7", ein 8"-Siliziumwafer mit einer Dicke von 0,8 mm, hergestellt, mit Chips von einer Kantenlänge von je 10 mm und einer stromlosen NiAu-UBM. Als Lotmaterial wurden vorgefertigte SnAgCu (SAC305) Lotkugeln verwendet. Auf jeder Seite des Chips befinden sich vier Reihen von I/O, jede Reihe mit ei-

ner unterschiedlichen Passivierungsöffnung für Lotkugeldurchmesser von 60 μ m, 50 μ m, 40 μ m und 30 μ m (Bild 7).



Bild 6: 80 µm Lotkugeln in Flussmitteldepot (links) und 80 µm Lotkugeln nach Umschmelzen (rechts)



Bild 7: Layout 8"-Wafer "Pac 2.7" (links) und Detailansicht eines Chips (rechts)

Die Anzahl der Kontakte ist je nach Reihe und Durchmesser der Kugel unterschiedlich, z. B. 376 Kontakte für 60 µm Lotkugeln und 368 für 50 µm Lotkugeln. Bei einer Gesamtanzahl von 272 Chips/Wafer ergibt das eine Anschlusszahl von 104.152 für 60 µm bzw. 101.936 für 50 µm Lotkugeln. Um während Zuverlässigkeitstests elektrische Fehler detektieren zu können, hat jeder Chip eine Daisy-Chain-Struktur (verkettete/verbundene Anschlüsse).

Projektergebnisse Wafer Level Solder Sphere Transfer

Der oben beschriebene Testwafer Pac 2.7 wurde für alle weiteren Untersuchungen herangezogen, insbesondere ging es um die Prozessierung von Lotkugeln der Durchmesser 60 μ m, 50 μ m, 40 μ m und 30 μ m. Das verwendete Lotmaterial war in allen Fällen Sn96,5Ag3,0Cu0,5 (SAC305). Bild 8 zeigt prozessierte 60 μ m Lotkugeln auf der ersten (äußersten) Reihe des Testchips.



Bild 8: Testchip mit 60 µm Lotkugeln SAC305 (links) und Detailansicht Chip mit 60 µm Lotkugeln (rechts)

Nach sehr erfolgreichem Platzieren der 60 μ m Lotkugeln wurden Vorkehrungen für die nächsten Teilabschnitte des Projektes getroffen, die Prozessierung von 50 μ m und 40 μ m Lotkugeln. Neben der Beschaffung der Lotkugeln war insbesondere die Qualifizierung der Schablonen ein wichtiger Aspekt. Es zeigte sich, dass die derzeitigen verfügbaren Technologien an ihre Grenzen stoßen, was die Realisierung von genauen und gleichmäßigen Schablonenlöchern von 20 μ m bis 30 μ m Durchmesser betrifft. Im Rahmen der Schablonenevaluierung und -qualifizierung hat sich herausgestellt, dass lasergeschnittene Schablonen nicht die erforderlichen Qualitätskriterien erfüllen. Somit blieb nur die Wahl der Verwendung von galvanisch hergestellten Ni-Schablonen, die eine ausreichende Qualität gewährleisteten. Bild 9 und Bild 10 zeigen die Ergebnisse der Prozessierung von 50 μ m und 40 μ m Lotkugeln auf der zweiten bzw. dritten Reihe des Chips unter Verwendung von galvanischen Ni-Schablonen.

Die Ergebnisse der Platzierung waren für alle drei Lotkugelgrößen ($60 \ \mu m$, $50 \ \mu m$ und $40 \ \mu m$) sehr gut. Es gab mit zunehmender Miniaturisierung gewisse Verluste bei der Ausbeute, die jedoch vertretbar waren. Die an die Projektpartner (Micro Systems Engineering, Lehrstuhl FAPS der Friedrich-Alexander-Universität Erlangen-Nürnberg) gelieferten Chips wurden auf die eigens für das Projekt ProUFP gefertigten Leiterplatten bestückt und gängigen Zuverlässigkeitsuntersuchungen unterzogen. [20]

Nach erfolgreichem Abschluss der überwiegenden Projektziele, also die Prozessierung von $60 \ \mu m$, $50 \ \mu m$ und $40 \ \mu m$ Lotkugeln blieb noch die Prozessierung von $30 \ \mu m$ Lotkugeln. Es war möglich, Lotmaterial guter Qualität zu beschaffen, leider scheiterte eine Prozessierung mit dem Wafer Level Solder Sphere Transfer Prozess daran, dass für diese kleinen Kugeln keine Schablone verfügbar war und auch nicht in benötigter Qualität hergestellt werden konnte. Daher wurde auf eine weitere, ebenfalls im Rahmenplan des Projektes beschriebene Technologie zurückgegriffen. Das lasergestützte Solder Jetting mittels des von PAC TECH hergestellten SB2-Jet (Bild 11).





Bild 9: Testchip mit 50 µm Lotkugeln SAC305 (links) und Detailansicht Chip mit 50 µm Lotkugeln (rechts)



Bild 10: Testchip mit 40 µm Lotkugeln SAC305 (links) und Detailansicht Chip mit 40 µm Lotkugeln (rechts)

3.1.2 Solder Jetting SB²

Das laserbasierte Solder Jetting SB² ist eine Technologie, die in einer Maschine die Teilprozesse der Bereitstellung, des Umschmelzens und der Applizierung von Lot an beliebigen Fügestellen vereint und sich deshalb besonders zur flexiblen Applizierung von kleinen Lotvolumina in komplexen Montageumgebungen eignet. Der Prozessablauf des laserbasierten Solder Jetting ist in Bild 11 dargestellt. In einem Vorratsbehälter werden als Schüttgut Lotkugeln gleichen Durchmessers bereitgestellt, wobei gegenwärtig Durchmesser im Bereich von 60 μ m bis 760 μ m qualifiziert sind und für die hochvolumige Massenproduktion genutzt werden. Lotkugeln der Durchmesser 50 μ m und 40 μ m befinden sich derzeit in der Qualifikation. Die Lotlegierung ist weitgehend frei wählbar aus einer Palette von niedrigschmelzenden SnBi-Loten über Standard-SnAgCu-Lote der Bleifrei-Elektronik bis hin zum bekannten hochschmelzenden AuSn-Lot der Optoelektronik. Eine aus dem Vorratsbehälter vereinzelte Lotkugel wird zu Beginn des Lötprozesses in eine Platzierkapillare gefördert und mittels Stickstoff-Überdruck gegen deren Ausgang gepresst, welcher einen geringfügig kleineren Durchmesser als die Lotkugel selbst aufweist. Wird nach dem Bereitstellen der Lotkugel durch die Kapillare ein Laserimpuls (Dauer bis zu 25 ms) auf das Lotvolumen fokussiert, absorbiert dieses die applizierte Energie weitgehend, schmilzt um und wird durch den Stickstoff-Überdruck aus der Platzierkapillare ausgestoßen. Im flüssigen Zustand legt das Lotvolumen mit einer Geschwindigkeit von ca. 1 m/s einen Weg zwischen 1 mm und max. 6 mm im Freiflug in der Stickstoffatmosphäre zurück. Gleichzeitig trifft der durch die nun freie Kapillare austretende Laserstrahl die anvisierte Benetzungsfläche und wärmt diese lokal kurzzeitig vor. Trifft das flüssige Lotvolumen auf der Benetzungsfläche auf, gibt dieses aufgrund des extrem guten thermischen Kontakts (Flüssigphase des Lots) die im Volumen gespeicherte Energie an die zu benetzende Oberfläche ab und formt bei Erstarrung die zur Verbindungsbildung notwendigen intermetallischen Phasen [87], [7].



Bild 11: SB^2 -Jet (links) und SB^2 -Jet Prozessablauf (rechts)

Mittels des Solder-Jetting-Verfahrens wurde die Machbarkeit der Prozessierung von SnAgCu Lotkugeln des Durchmessers 30 µm untersucht. Die Machbarkeitsstudie verlief außerordentlich erfolgreich, so dass mit 30 µm Lotkugeln prozessierte Chips an den Projektpartner zur Bestückung geliefert werden konnten. Mit dieser Lieferung wurde der letzte Teil des Projektes erfolgreich abgeschlossen und somit alle im Rahmen des Projektes gesteckten Ziele erfüllt.



Bild 12: Testchip mit 30µm Lotkugeln SAC305 (links) und Detailansicht 50-fache Vergrößerung (rechts)

Projektergebnisse Solder Jetting SB²

Die erzielten Ergebnisse bei der Platzierung von 30 μ m Lotkugeln mittels Solder Jetting sind in Bild 12 und Bild 13 abgebildet.



Bild 13: Detailansicht 100-fache Vergrößerung (links) und Detailansicht 1000-fache Vergrößerung (rechts)

3.2 Substrate für feinste Anschlussstrukturen

Autoren: Georgiev, Georgi¹; Dr. Schüßler, Florian²; Dr. Dohle, Rainer³

¹ KSG Leiterplatten GmbH

² Lehrstuhl für Fertigungsautomatisierung und Produktionssystematik, FAU Erlangen-Nürnberg

³ Micro Systems Engineering GmbH

3.2.1 Stand der Technik

Die kontinuierlich steigenden Anforderungen bezüglich Miniaturisierung von elektronischen Baugruppen begründen die stetige Verkleinerung der Dimensionen und Strukturen von elektronischen Bauelementen (BE) und Leiterplatten (LP). Die Verringerung von Platz, Gewicht und Herstellungskosten treiben die Entwicklung von passiven und aktiven Bauelementen moderner elektronischer Systeme an. Die Zahl der Anschlüsse und die Anschlüssabstände (Pitches) der BE wirken sich dann direkt auf das Design und die Herstellungstechnologien der Leiterplattenträger aus.

Verbindungstechnologien auf Basis von μ BGA (Micro Ball Grid Arrays), FBGA (Fine Pitch Ball Grid Arrays), FC (Flip Chips) und andere CSP (Chip Scale Packages) beherrschen jetzt schon fast alle Anwendungsgebiete der Elektronik. Anschlussabstände bei den BE von 500 μ m gehören bald der Vergangenheit an. Aktuell sind Pitches $\leq 400 \,\mu$ m oft Stand der Technik, künftig werden auch Dimensionen $< 300 \,\mu$ m angestrebt. Gleichzeitig steigen die Zahl der Anschlüsse pro Fläche, die Leistungsaufnahme und die Arbeitsfrequenzen der BE.



Durch diese Entwicklungsdynamik wird die Leiterplattenindustrie angetrieben, neue Materialien, Aufbau- und Fertigungstechnologien zu qualifizieren, welche die Voraussetzungen schaffen, die Komplexität an Funktionen und Applikationsmöglichkeiten der neuen BE-Generationen nutzen zu können. Die allgemeinen Trends in der Entwicklung der LP in den letzten Jahren kann man kurz wie folgt beschreiben:

Verkleinerung der ISO-Abstände zwischen den einzelnen Cu-Lagen

Ergebnis: dünne Basismaterialien, hochlagige Aufbauten, geringe End-LP- und Baugruppen-Dicken, Impedanz-definierte-Konstruktionen, mehrere Microvia- (MV-) Ebenen übereinander, höhere Arbeitsfrequenzen.

Verkleinerung der Durchmesser von Durchkontaktierungen

Ergebnis: neue Designs und Aufbauten mit mehreren MV-Lagen übereinander. Cu-gefüllte Microvias (MV). Realisierung von kleineren Anschlusspads und -abständen. Entflechtung von BE-Funktionen erfolgt in der "dritten Dimension" (Z-Achse) der LP.

Verkleinerung der Leiterbahnbreiten und -abstände

Ergebnis: bessere Flächennutzung, Anschlussmöglichkeiten und Entflechtung moderner BE. Erhöhung der Zahl der Verbindungen, die zwischen den BE-Anschlüssen designt werden können, Verkleinerung der Enddimensionen der Gesamtbaugruppe.

Integration von passiven und aktiven BE in der Leiterplatte

Ergebnis: weitere Flächengewinnung und Miniaturisierung, die LP übernimmt auch aktive Schaltungsfunktionen.

Beispiele für LP-Lösungen auf Grund der Baugruppen-Miniaturisierung sind in Bild 14 dargestellt. Durch die Möglichkeit, Schaltungslayouts im LP-Inneren zu platzieren (siehe LP-Lösungen in Bild 14), können die äußeren Lagen der LP layouttechnisch "entlastet" werden. Kleinere BE können darauf platziert werden, die immer kleinere Anschlusspads und Pitches besitzen. Durch die Notwendigkeit, immer mehr Leiterbahnen sicher zwischen konstante Anschlussraster durchführen zu müssen, steigen die Anforderungen an die Layoutrealisierung auf der Leiterplatte. Die Lösung heißt: schmale Leiterbahnen und kleine Leiterbahnabstände (Line/Space-Werte) designen und fertigen (siehe Bild 15).



Bild 14: Beispiele für Leiterplattenlösungen auf Grund der Baugruppenminiaturisierung, links: Umverdrahtung mit staggered Microvias über zwei bis drei Ebenen, rechts: Umverdrahtung mit stacked Microvias über 3-4 Ebenen

			/	Anschlussraster µBGA, C	SP		
•	•	0		Zahl-Leitungskanäle Paddurchmesser in µm Line/space-Breite in µm	0,8 m 1 400 100	nm Pitc 2 400 75	h 3 400 50
1		2	3	Zahl-Leitungskanäle Paddurchmesser in μm Line/space-Breite in μm	0,5m 1 250 65	m Pitch 2 250 40	3 250 25
				Quelle TechSearch International			

Bild 15: Angestrebte Leiterbahnbreiten und -abstände

Die Ziele bezüglich der künftig angestrebten Leiterbilddimensionen sind im Bild 15 und den Kommentaren dazu dargestellt. Lines und Spaces von 100 μ m/100 μ m und 75 μ m/75 μ m werden für bestimmte Anwendungen der Zukunft nicht mehr ausreichend sein. In den nächsten 5-10 Jah-

ren sollen technisches Equipment, Materialien und Fertigungsprozesse qualifiziert werden, die die Herstellung von Leiterbildstrukturen \leq 50 μ m/50 μ m mit einer akzeptablen Ausbeute ermöglichen.

Im Zeitraum der Projektarbeiten (2007-2010) waren folgende Cu-Strukturgrößen und Lötstopplack-Dimensionen auf der LP Stand der Technik bei der KSG Leiterplatten GmbH (KSG):

- Leiterbahnbreiten/-abstände (Lines/Spaces) ≥ 80 μm/100 μm, bei 18 μm Basis-Cu-Dicken (siehe Bild 16)
- Lötstopplackstege \geq 70 μ m
- Lötstopplackfreistellungen \geq 50 µm (siehe Bild 17)

Die Leiterstrukturen werden semiadditiv (Pattern plating) oder subtraktiv (Panel plating) erzeugt. Diese zwei Technologien, bestehend aus fotolithografischen und nass-chemischen (Ätz-) Prozessen, sind auch aktuell Stand der Technik bei der KSG. Der Lötstopplack wird in einem Vorhanggießverfahren auf der LP-Oberfläche aufgebracht. Die geforderten Lackstrukturen werden danach durch Fotolithografie und thermische Nachbehandlung realisiert. Die o.g. Strukturdimensionen entsprechen auch aktuell den LP-Roadmaps eines großen Teils der LP-Hersteller in Europa.



Bild 16: Querschnitt HDI-Leiterplatte



Bild 17: Lötstoppmaske

3.2.2 Definition von "feinsten Strukturen" in der Leiterplatten-Fertigung und dem Baugruppen-Design

Je nach Quelle und Zeitraum existieren unterschiedliche Definitionen des Begriffes "feinste Leiterbilddimensionen und Anschlussstrukturen".

Unter Berücksichtigung des aktuellen Standes der Technik in Europa hat das Projektteam im Projekt ProUFP den Begriff "feinste Bildstrukturen und Anschlussgeometrien" mit folgenden Eigenschaften definiert:

- Lines/spaces (LP) \leq 70 µm/70 µm, min. lines/spaces = 30 µm/40 µm
- Durchmesser Anschlusspads (LP) \leq 70 μ m
- Registrierungsgenauigkeit Lötstoppmaske zum Cu-Bild \leq 50 μ m
- Lötstopplackstege (LP) ≤ 40 µm
- Lötstopplackfreistellung (LP) ≤ 20 µm
- Anschlussabstände (Flip Chip) < 200 μm, angestrebte Pitches = 100 μm
- Größe der Lotkugeln (Flip Chip) \leq 60 µm, kleinste Kugel = 30 µm
- Daisy-Chain-Strukturen für bessere Fehlerlokalisierung und Auswertung der Baugruppenzuverlässigkeit



• Alle im Projekt erzielten Testergebnisse, Auswertungen etc. beziehen sich auf die o.g. Test-Leiterbildstrukturen

3.2.3 Einflussgrößen bei der Erzeugung von "feinsten" Leiterbildstrukturen in der LP-Fertigung

Als Haupteinflussgrößen bei der Realisierung der definierten "feinsten" Leiterbild- und Anschlussgeometrien werden folgende Kriterien eingeschätzt:

Art der Technologie bei der Strukturerzeugung auf der LP:

- Additiv aufwendig, teuer, für kleinere Produktionsmengen eher ungeeignet. Erzeugung sehr stabiler Lines/Spaces, teilweise unter 30 µm/30 µm. Diese Technologie wurde im Projekt nicht untersucht und angewendet (Kosten).
- Semiadditiv mittlere Aufwände bei der Herstellung, Kombination der Vorund Nachteile beider anderen Technologien. Diese Technologie wurde im Projekt nicht untersucht und angewendet (Demonstratoren mit einer Cu-Ebene, keine Durchkontaktierungen).
- Subtraktiv geringster technologischer Aufwand, bei geringen Ausgangs-Cu-Dicken und hoher Qualität des Cu-Treatments sind Strukturen < 50 μm/50 μm mit einem Yield von > 80 % realisierbar. Diese Technologie wurde im Projekt untersucht, weiterentwickelt und angewendet.

LP-Basismaterial (siehe auch 3.2.5 und 3.2.6):

- Cu-Dicke, Cu-Qualität
- Cu-Treatment, Cu-Haftung zum ISO-Material
- Harzzusammensetzung, Glasgewebe
- Glasübergangstemperatur (T_g)
- thermische Ausdehnungskoeffizienten in x- und y-Richtung

Maschinenequipment:

- Reinigungsschritte
- Fotolithografie
- Chemische Verfahren Entwickeln, Ätzen, Strippen
- Verarbeitung der Lötstoppmaske

Hilfsmittel:

- Vorreinigungschemikalien
- Fotopolymer (Fotoresist) und Bearbeitungsparameter
- Atzmedium, Prozess- und Maschinenparameter
- Lötstopplack und Verarbeitung

Lötstoppmaske:

- Chemische Zusammensetzung
- Technologie der Bearbeitung

3.2.4 Projektziele, Soll-Dimensionen und geplante praktische Einsätze bei der Produktrealisierung

Als Baugruppen-Demonstrator sollte eine Träger-LP mit zwei Cu-Lagen realisiert werden, worauf Flip Chips mit einer Daisy-Chain-Struktur bestückt werden. Auf dem Träger selbst sind die im Flip-Chip fehlenden elektrischen Verbindungen durch eine entgegengesetzte Daisy-Chain-Geometrie versehen (Prinzipdarstellung s. Bild 115). Damit kann im bestückten Zustand ein geschlossener Stromkreis aufgebaut werden. Durch ableitende Messleitungen wird dann der elektrische Durchgang kontrolliert, Fehler detektiert und die Zuverlässigkeit der Gesamtbaugruppe ermittelt.

Bei der KSG sind galvanische und stromlose Verfahren zur Erzeugung geeigneter Endoberflächen vorhanden. Diese sollten auf die Belange der ultrafeinen Strukturierung angepasst werden. Man hat sich im Laufe des Projektes auf die so genannte. "Panel-Plating-Technologie" konzentriert: das Cu auf dem Basismaterial wird sehr genau stufenweise abgedünnt. Das dünne Cu wird nachträglich angeraut und danach ein als Ätzresist wirkender Fotofilm auf die LP-Oberfläche laminiert.

Die Pad-Metallisierung sollte auf Anforderung der Partner selektiv erfolgen, ebenso die Maskierung mit einem Lötstopp-Medium. Eine chemische Vernickelung und Vergoldung der Anschlusspads sollte die Belotung und Aufschmelzung der Lotkugeln auf der LP ermöglichen.

Für die Realisierung der oben beschriebenen Panel-Plating-Variante sollten die Verarbeitungsparameter des Fotoresists untersucht und dem KSG-Equipment angepasst werden. Anzustreben waren Leiter-Strukturen mit einer minimalen Breite von 30 µm. Die Leiterbahn-Abstände sollten je nach Cu-Dicke bis hin zu 40 µm zuverlässig herausentwickelt und herausgeätzt werden.

Wesentlicher Bestandteil des Projektes sollten die Optimierungstätigkeiten im Bereich der Lötstoppmaske sein. Mit dem Standard-Lötstopplack sollten Öffnungen < 120 μ m*100 μ m und

Maskenstege < 40 μ m reproduzierbar realisiert werden. Die Genauigkeit der Maskenstruktur bezogen auf das Cu-Leiterbild sollte < 25 μ m erreichen.

Für die notwendigen Messschritte bei der Herstellung der LP-Demonstratoren sollten vorwiegend eigene Prüfmöglichkeiten genutzt werden: Schichtdickenmessung mittels X-Ray, Schliffbilderzeugung sowie Mikroskopie mit Streu- und Auflicht, Haftfestigkeitstests als Gitterschnitt oder Abzugstests bzw. Auszugstests auf einer Zwick-Messmaschine und Temperaturwechsel-(TW-)Tests.

3.2.5 LP-Bemusterungen, Optimierungen und Anpassungen des LP-Designs bei den unterschiedlichen LP-Demonstratoren.

Prozessschwerpunkte

Auf Grund der erhöhten Anforderungen an die Cu-Haftung, Cu-Dicke, Cu-Qualität und die thermische Ausdehnung (Harzsystem, Glasfaserart, Glas-Harz-Mischung) der LP-Basismaterials wurde die Entscheidung über den Einsatz von zwei Materialien (Eigenschaften siehe Tabelle 2) getroffen, die die geforderten Bedingungen erfüllen. Folgende Hauptkriterien wurden hierzu herangezogen:

- akzeptable Ausbeute der im Projekt angestrebten Leiterbildstrukturen
- gute Verarbeitbarkeit in allen KSG-Anlagen und -Prozessen
- gute Haftung und Strukturierung des Lötstopplackes auf der Materialien-Oberfläche
- Gewährleistung von stabilen Zuverlässigkeitsbedingungen für das System: Leiterplatte/Underfill/Chip bezüglich Dehnung und Schrumpfung bei T-Belastung

Als erster LP-Demonstrator wurde eine Anschluss-Pad-Reihe auf dem LP-Substrat realisiert, um Anfangstests bezüglich Platzierung und Belotung von Chips auf der LP durchführen zu können. Erzielte Leiterbildgeometrien – erste Bemusterung (siehe Bild 18):

- Leiterbahnbreiten (Lines) = $60 \mu m + -10 \mu m$
- Leiterbahnabstände (Spaces) = $40 \mu m + -10 \mu m$
- Lötstoppmaske außerhalb des Cu-Leiterbildes

Leiterplatten-Basismaterial	Mitsubishi CCL-HL832NX	ISOLA IS410		
Gesamtdicke [mm]	0,80	0,80		
Cu-Dicke [µm]	18 → 9	12 → 9		
Harzsystem [-]	BT	FR4		
Cu-Haftfestigkeit [N/ mm] (Cu-Dicke=17,5µm; low profile Cu)	1,00	0,70		
Feuchteaufnahme [Gew. %]	0,47	0,20		
Glasübergangs-T (Tg) [°C]	210 (DMA)	180 (DSC)		
CTE (unterhalb Tg) [ppm/ K]				
X-Richtung (Schuss) Y-Richtung (Kette) Z-Richtung (Vertikal)	15 15 55	17 13 55		
Oberflächenfinish [-]	chemisch Ni/ Au	chemisch Ni/ Au		

Tabelle 2: LP-Basismaterialien im Projekt



Bild 18: Layout des 1. Demonstrators



Bild 19: Auflösung Fotopolymer

Es wurde ein Yield (LP-Fertigung) von ca. 50 % erzielt. Qualitätsschwerpunkte: Applikation und Anpassung der Verarbeitungsparameter (Laminieren, Belichten, Entwickeln) des Fotopolymers (siehe Bild 19). Diese haben einen entscheidenden Einfluss auf die Qualität der erreichten Bildstrukturen für alle nachfolgenden Bemusterungen. Auf dem nächsten Demonstrator sollte die Möglichkeit geboten werden, unterschiedliche Ball-Dimensionen auf den LP-Anschlusspads zu bestücken.

Anfangs sollten Waferanschlussreihen mit Kugeldurchmessern von 60 μ m und 50 μ m bestückt werden, diese dann auf den äußersten Pad-Reihen (siehe Bild 20) auf dem LP-Demonstrator aufgelötet und weiter untersucht werden. Erzielte Leiterbildgeometrien – zweite Bemusterung (siehe Bild 20):

Leiterbahnbreiten (Lines)/Leiterbahnabstände (Spaces):

- erste Padreihe (außen) = $60\mu m/40\mu m$
- zweite Padreihe = $50\mu m/50\mu m$
- dritte Padreihe = $40 \mu m / 60 \mu m$
- vierte Padreihe (innen) = $30\mu m/70\mu m$



Bild 20: Layout des zweiten Demonstrators

Die Ausbeute (LP) betrug ca. 65 %. Leiterbildtoleranzen inklusive chemische Vernickelung und Vergoldung ca. +/- 10 µm. Qualitätsschwerpunkte: Maschinenparameterfindung, so dass die feinen Lines sich bei der Bearbeitung nicht vom Basismaterial lösen. Dabei wurden folgende Prozessparameter angepasst: Mediendruck und Chemikalienzusammensetzung in der Filmentwicklungsanlage, die Zuschaltung der Düsenstöcke, Medientemperaturen, Mediendruck und Transportgeschwindigkeiten in der Ätzanlage.

Erfahrungen aus den Bestückungsprozessen der ersten zwei LP-Träger haben ergeben, dass eine Lötstoppmaskenbarriere die Platzierung und Zentrierung der Lotkugeln auf den Anschlussflächen der Leiterplatte unterstützen soll. Die Lötstoppmaske wurde dadurch aktiv in das Layout einbezogen (siehe Beschreibung unten). Um die Zuverlässigkeit der Verbindungen LP-Substrat/Lotkugeln/Wafer zu erhöhen, sollten definierte Abstände (stand-off) zwischen LP-Substrat und Chip festgehalten werden. Um eine definierte Benetzungdes Lotes auf den Anschlussflächen gewährleisten zu können, sollte zusätzlich zur Passivierung durch den Lötstopplack auch ein so genanntes "teardrop"-Design der Cu-Anschlussgeometrien realisiert werden. Erzielte Leiterbildgeometrien – dritte Bemusterung (siehe Bild 21).

Leiterbahnbreiten/Leiterbahnabstände (Toleranzen = $+/-10 \mu m$):

- erste Padreihe (außen) = $60 \mu m/40 \mu m$
- zweite Padreihe = $50 \mu m/50 \mu m$
- dritte Padreihe = $40 \mu m/60 \mu m$
- vierte Padreihe (innen) = $30 \mu m/70 \mu m$

Lötstopplack (Lötstoppmaske):

Freistellungen (Abstand Maske zum Cu) < 20 μm
- Min. Lackstege = 35 μm
- Genauigkeit der Registrierung (Maske zum Cu) < 40 μm



Bild 21: Layout des dritten Demonstrators (3.2)

Die Ausbeute (LP) betrug ca. 60 %. Qualitätsschwerpunkt: Beschichtung und Prozessierung des Lötstopplackes.

Entscheidenden Einfluss auf die Maskengenauigkeit und -qualität haben das Gießgewicht, die Belichtungsparameter und die Prozessierung des Lötstopplackes in den Entwicklungsmedien. Um die Projektziele erreichen zu können, sollten die o.g. Parameter im Hause KSG entsprechend optimiert werden. Dazu wurden auch Prozessschritte und Prozessführung angepasst. Leider konnten die erhofften Verbesserungen der Bestückungsausbeute und der Zuverlässigkeit der Lötverbindungen durch die Layout-Optimierungen bei der dritten Bemusterung nicht bestätigt werden.

Hauptschwerpunkte der letzten Fertigung waren die Erreichung der geplanten Bilddimensionen mit minimalen Toleranzen (Streuung) wie auch die Realisierung eines völlig neuen Lötstoppmaskendesigns (siehe Bild 22). Durch weitere Optimierungen der Bearbeitungsparameter (Maschine und Prozess) beim Ätzen des Layouts konnte man in der KSG-Fertigung eine Ausbeute > 80 % mit Bildtoleranzen von +/- 5 µm realisieren. Dabei wurden folgende Leiterbildgeometrien erzielt (bei Toleranzen der Leiterbahnbreiten/ Leiterbahnabstände von +/- 5 µm):

Leiterbahnbreiten/Leiterbahnabstände (Toleranzen = $+/-5 \mu m$):

- erste Padreihe (außen) = $60 \ \mu m/40 \ \mu m$
- zweite Padreihe = $50 \ \mu m / 50 \ \mu m$



- dritte Padreihe = $40 \mu m/60 \mu m$
- vierte Padreihe (innen) = $30 \ \mu m/70 \ \mu m$

Lötstopplack (Lötstoppmaske):

- Freistellungen (Abstand Maske zum Cu) < 50 μm
- Min. Lackstege = 30 µm
- Genauigkeit der Registrierung (Maske zum Cu) < 20 μm



Bild 22: Testleiterplatte (V3.3/1, Lieferung 2010) mit Bemaßung der zweiten Reihe (für Chips mit 40 μm-Lotkugeln) und dritten Reihe (für Chips mit 50 μm-Lotkugeln)

Die Cu-Anschlusspads haben ihre ursprünglich runde Geometrie mit den bekannten Leiterbilddimensionen. Wesentliche Änderungen bezogen sich auf die Gestaltung der Lötstoppmaske. Die "breiten" Maskenöffnungen mit Aussparung zwei benachbarter Lötpads haben die Prozessierung der Lötstoppmaske erleichtert. Die Größe der Maskenstege ist gleich geblieben. Die Steilheit der Maskenflanken konnte verbessert werden. Durch Optimierungen der Belichtungsprozesse wurde auch die Genauigkeit des Stopplacks zum Cu-Bild erhöht.

Im Laufe der Arbeiten wurde immer deutlicher, dass die Lötstoppmaske aufgrund ihrer Dicke von etwa 18 μ m sowie der Toleranzen der Lötstoppregistrierung und der Öffnungen in der Lötstoppmaske ein - wenn nicht der bedeutendste - begrenzende Faktor bei der weiteren Miniaturisierung der Flip-Chip-Aufbauten ist. Durch die Lötstoppmaske hervorgerufene Hinterschneidungen des Lotes (siehe Bild 23) stellen außerdem ein potentielles Zuverlässigkeitsrisiko dar (siehe auch Abschnitt 3.3.3).



Bild 23: Hinterschneidung (Pfeil) des Lotes, hervorgerufen durch die Lötstoppmaske.

Besonders deutlich werden die Toleranzen des Lötstopplackes und die damit verbundenen Auswirkungen auf die Strukturqualität anhand der folgenden FRT-Bilder (Bild 24 und Bild 25), wobei die Leiterplattenlieferung aus dem Jahr 2010 schon eine gewisse Verbesserung der Lötstopptoleranzen und der Lötstoppregistrierung erkennen lässt. Leider war eine Reduzierung der Lötstoppdicke nicht möglich.

Die unterschiedliche Größe der freiliegenden Lötflächen wird insbesondere durch die Toleranzen der Lötstoppregistrierung hervorgerufen, was in Bild 24 besonders deutlich sichtbar ist. Diese unterschiedliche Lötflächengröße wirkt sich nachteilig auf die Lotbumpgeometrie (starke Abweichung einzelner Lötstellen von der Idealform) und somit auf die Zuverlässigkeit einzelner Lötverbindungen aus (siehe Abschnitt 3.3.3) [12].





Bild 24: Oberflächenprofil einer Leiterplatte Version 3.3/1 aus dem Jahr 2009 mit großen Toleranzen insbesondere der Lötstoppmaske



Bild 25: Oberflächenprofil einer Leiterplatte V3.3/1 aus dem Jahr 2010 mit verbesserter Qualität der Lötstoppmaske

3.2.6 Technologische Wege bei der Herstellung der LP-Demonstratoren

Man hat durch die Projektlaufzeit kontinuierlich das LP-Layout verbessert. Anhand von gewonnenen Erkenntnissen durch Vorbemusterungen wurden im Hause KSG Anpassungen von Verarbeitungsparametern und Prozessoptimierungen durchgeführt. Feinste Bildstrukturen und Anschlussgeometrien, wie in 3.2.5 beschrieben, konnten sicher realisiert werden (siehe Bild 26 und Bild 27). Auf diesen Bildern sind die äußere Padreihen (60 µm und 50 µm Paddurchmesser) auf dem LP-Substrat dargestellt. Bei der Realisierung der vorgenommenen Zielgeometrien wurden folgende technologische Wege gewählt und optimiert:

- Auswahl eines thermostabilen LP-Basismaterials mit geringer Feuchteaufnahme des Harzsystems, geringer thermischen Ausdehnung (CTE) in beiden Flächenrichtungen und verbessertem Übergangsbereich zur Cu-Folie (low-profile, geringes Cu-Treatment)
- Qualifizierung eines modernen Fotopolymers als Ätzresist. Test und Anpassung der Verarbeitungsparameter des Films (Laminieren, Belichten, Entwickeln) im engen Zusammenhang mit den technischen Gegebenheiten in der KSG-Fertigung
- Optimierung der Maschinenparameter einer Ätzanlage (Ätzen auf Basis saurer Medien). Anpassungen der Medienzusammensetzung, des Mediendrucks und – Temperatur, sowie auch der Transportgeschwindigkeit bei der nass-chemischen-Bearbeitung.
- Prozessuntersuchungen und Verbesserung der Bearbeitungsparameter des Standard-KSG-Lötstopplacks. Optimierungen des Gießgewichts und der fototechnischen Verarbeitung des Lacks (Belichtungsenergien und Entwicklungsmedien). Verbesserung der Genauigkeit der Maskenregistrierung zum Cu-Bild.

Diese Erkenntnisse können bei weiteren Entwicklungsarbeiten zum Thema "Feinste Bild- und Anschluss- Geometrien" als Grundlage für die Applikation der semiadditiven und der additiven Technik dienen.

3 Bereitstellung kleinster Lotmengen bei feinsten Anschlussstrukturen



Bild 26: Schliffbild 60 µm-Geometrien im Endzustand



Bild 27: Schliffbild 50 µm-Geometrien im Endzustand

3.2.7 Mögliche Anwendungsfelder

Im Zeitraum der Projektarbeiten (2007-2010) sind folgende Cu-Strukturgrößen und Lötstopplack-Dimensionen auf der LP Stand der Technik bei KSG (siehe auch Kapitel 3.2.):

- Leiterbahnbreiten/-abstände (Lines/Spaces) $\ge 80 \ \mu m/100 \ \mu m$
- Lötstopplackstege $\geq 70 \ \mu m$
- Lötstopplackfreistellungen $\geq 50 \ \mu m$

Bei einigen Produkten (s. Bild 28, Bild 29, Bild 30 und Bild 31) sind aber gegenwärtig schon Strukturen gefragt, die anspruchsvoller sind, so dass Wissen und Erfahrungen aus den Projektarbeiten bei der Fertigung dieser LP implementiert werden konnten.



- Anwendungsbereich: Logistik, Rückverfolgbarkeit von Warenbewegungen
- Lines/spaces < 50 μm/50 μm
- keine Lötstoppmaske
- Subtraktivtechnologie für Strukturenerzeugung

Bild 28: Transponder-Antenne



 Anwendungsbereich: Kommunikationstechnik

- Lines/spaces < 80 μm/80 μm
- BGA-Pads = 300 µm
- Pitches = 800 µm
- Lötstoppmaskenfreistellung = 60 μm
- Semiadditivtechnologie für Strukturenerzeugung

Bild 29: Verstärker-Steuerplatine



Bild 31: LP-Träger E²PROM-Module

Alle oben gezeigten Beispiele sind Serienprodukte bei der KSG, bei denen durch eine geeignete Materialauswahl und durch Prozess- und Technologieoptimierungen ein Optimum zwischen Qualität (Kundenzufriedenheit) und Ausbeute (Kosten) geschaffen worden ist. Wesentlicher Schwerpunkt bei der Herstellung dieser LP ist die Erzeugung der Cu-Strukturen auf den einzelnen Multilayer-Lagen.

36



- Anwendungsbereich: Industrie, Steuerung eines Ofens für Glasschmelze
- Lines/spaces < 70 μm/60 μm
- Pitches = 130 µm
- Lötstoppmaske außerhalb des kritischen Layouts
- Semiadditivtechnologie für Strukturenerzeugung

Bild 32: Steuerplatine



Bild 33: OLED-Controller-LP

Ein großer Zuwachs bei LP-Trägern mit "feinsten Bildstrukturen und Anschlussgeometrien" ist gegenwärtig und in naher Zukunft in den Bereichen Telekommunikation, Medizintechnik und Steuerungstechnik zu verzeichnen. Folgende Beispiele (Bild 32 und Bild 33) zeigen mögliche

37

Anwendungsfelder für LP mit solchen Geometrien. Bild 33 zeigt einen Layoutausschnitt eines KSG-Entwicklungsmusters. Hier werden organische Anzeigeelemente (OLED-s) in die LP integriert. Die Gesamtsteuerung inklusive Elektroden und Verkapselung befindet sich in einem elektro-optischen Verdrahtungsträger. Zusätzlich zu den Anforderungen an das LP-Material (siehe Kapitel 3.2.) werden hier auch enorm hohe Ansprüche bezüglich Hermetizität und Oberflächenrauhigkeit gestellt. Die Flip-Chip-Kontaktierung des Controller-Bausteins erfordert ein Anschlussraster von 110 μ m. Auf Grund der hier vorhandenen Durchkontaktierungen (die LP hat zwei Cu-Lagen) ist eine semiadditive Technologie bei der Herstellung der Bildstrukturen unumgänglich.

3.2.8 Testschaltungsträger aus anorganischem Substratmaterial

Zusätzlich zu den Experimenten mit organischen Leiterplatten wurden Versuche mit keramischen Verdrahtungsträgern durchgeführt, um die im Abschnitt 3.3 aufgeführten Probleme bei der Kontaktierung von Chips mit 40 Mikrometer-Lotkugeln bzw. 30 Mikrometer-Lotkugeln auf Leiterplatten in Subtraktivtechnologie zu vermeiden. Zielführend war dabei der Einsatz von Dünnfilmkeramiksubstraten: LTCC kann zum gegenwärtigen Zeitpunkt zwar mit Strukturen in den von uns benötigten Abmessungen $(30\mu m/20\mu m Lines/Spaces)$ versehen werden, aber aufgrund fehlender Pasten waren bis zum Redaktionsschluss noch keine lötfähigen Metallisierungen mit diesen Geometrien herstellbar. Ein Detail der Dünnfilmmetallisierung ist im folgenden Bild 34 dargestellt:



Bild 34: Layout des Dünnfilmkeramiksubstrates (Ausschnitt)

Aufgrund des Aufbaus der Dünnfilmmetallisierung (NiCr-Au($1,5\mu$ m)-Ni(2μ m)-Ni(150nm)-Au(60nm) entfällt die Notwendigkeit einer Lötstoppmaske, da das Nickeloxid an der Oberfläche der Nickelschicht vom Lot nicht benetzt wird. Die von Lot benetzbaren Lötflächen werden durch eine nur 60 nm dicke Goldschicht definiert. Die Daisy Chains werden über Leitungen (siehe Bild 34) auf Kontaktflächen herausgeführt, sodass eine elektrische Messung erfolgen kann. Strukturen für die Kontaktierung von Flip-Chips mit Lotkugeln der Größe 40 μ m und 30 μ m sind in Bild 35 dargestellt. Jedoch kommt der Einsatz von Dünnfilmkeramiksubstraten aufgrund des sehr hohen Preises für viele Anwendungen nicht in Frage.



Bild 35: Detailfotos eines Dünnfilmkeramiksubstrates mit Lötflächen für die Kontaktierung von Chips mit 40 μm-Lotkugeln (links) und 30 μm-Lotkugeln (rechts) – jeweils für einen Pitch von 100 μm

3.3 Kontaktierungsverfahren für hochminiaturisierte Bauelemente

Autoren: Dr. Dohle, Rainer¹; Dr. Schüßler, Florian²;

¹ Micro Systems Engineering GmbH

² Lehrstuhl für Fertigungsautomatisirung und Produktionssystematik, FAU Erlangen-Nürnberg

3.3.1 Flip-Chip-Kontaktierung

Neben der Notwendigkeit der Herstellung sehr kleiner Bumps mit sehr geringem Pitch muss der Produktionsprozess für die Flip-Chip-Montage verbessert werden, um mit der ständigen Miniaturisierung mithalten zu können. Der Bestückautomat muss in der Lage sein, eine ausreichende Bestückgenauigkeit zu garantieren und ein Vision System aufweisen, mit dem die Erkennung der winzigen Lotbumps mit hoher Sicherheit gewährleistet ist. Aus diesen Gründen wurde die automatische Flip-Chip-Bestückung mit einer Datacon 2200 apm (Bild 36) durchgeführt, die eine Bestückgenauigkeit von $\pm 10 \ \mu m$ @ 3s ermöglicht. Da für die Datacon kein Dip-Modul vorhanden war, wurde das Flussmittel vor der Bestückung auf die Leiterplatte (bzw. die Dünnfilmke-

ramik) aufgetragen bzw. in einem manuellen Dip-Prozess hochgenau auf die Anschlüsse der Flip-Chips appliziert



Bild 36: Die Flip-Chip-Bestückung wurde mit einer Datacon 2200 apm durchgeführt



Bild 37: Blick in die für die Bestückung vorbereitete Datacon mit einer Leiterplatte von KSG. Jede Leiterplatte ist für die automatische Bestückung mit sechs Chips vorgesehen

Der Lötprozess erfolgte in einem Reflowdurchlaufofen. Um dabei die Durchbiegung der Leiterplatten zu minimieren, wurden Niederhalter verwendet. Da ein spezielles, nahezu rückstandsfreies Flussmittel eingesetzt wurde, konnte auf eine Reinigung nach dem Reflowlötprozess (die bei den geringen Spaltbreiten zwischen Chip und Substrat problematisch wäre) verzichtet werden.



Bild 38: Detail der Testleiterplatte mit Flip-Chip nach dem Reflowlöten (vor Underfill). Die Chipabmessungen betragen 10 mm x 10 mm x 0,75 mm. Mit Hilfe der Positioniermarken an jeder Chipecke kann die Bestückposition visuell überprüft werden



Bild 39: KSG-Testleiterplatte aus BT mit sechs Flip-Chips nach dem Underfill

Ausbeute

Die folgende Tabelle fasst die Ergebnisse hinsichtlich der Ausbeute auf Leiterplatten zusammen:

Tabelle 3: Ausbeute bei der Verwendung von Leiterplatten

Lotkugeldurchmesser vor der Bekugelung	60 µm	50 µm	40 µm	30 µm
Ausbeute nach Bestückung und Reflowlöten	100 %	90 %	50 %	-
Ausbeute nach Aushärtung des Underfills	100 %	90 %	30 %	-

Die Bestückung von Chips mit 30 Mikrometer-Lotkugeln auf Leiterplatten wurde nicht untersucht. Die Dicke der Lötstoppmaske von etwa 18 Mikrometern, die Toleranz der Lötstoppöffnungen und die Toleranzen der der Lötstoppmaskenregistrierung haben sich als wesentliche Schwachpunkte im Hinblick auf die Bestückausbeute erwiesen. Ein Lotkugeldurchmesser von 50 Mikrometer scheint zum gegenwärtigen Zeitpunkt ein Grenzwert für die Flip-Chip-Bestückung auf konventionelle Leiterplatten in Subtraktivtechnologie mit Lötstopplack Imagecure XV501T4-Smart von SunChemical zu sein, wie nachfolgend begründet wird.

Bild 40 zeigt ein Schliffbild eines Flip-Chips mit 50 Mikrometer-Lotkugeln auf einer FR4-Leiterplatte. Die Lötstoppmaske (im Druck leider nicht erkennbar) verursacht die irreguläre Form der Lötverbindungen.



Bild 40: Querschliff eines Testcoupons mit einem Chip mit 50 µm Lotkugeln auf einer FR4-Leiterplatte



Wie im Abschnitt 3.3.3 ausgeführt, wirkt sich diese irreguläre Form der Lötverbindungen nachteilig auf die Zuverlässigkeit der Lötstellen aus (vgl. auch [41]). Signifikante Unterschiede zwischen Leiterplatten aus FR4- oder BT-Material wurden nicht festgestellt, entscheidend sind die Dicke und Strukturqualität des Lötstopplacks.

Bild 41 zeigt ein Schliffbild eines Flip-Chips mit 40 Mikrometer-Lotkugeln auf einer FR4-Leiterplatte. Die Toleranz der Lötstoppmaskenregistrierung verursacht die schlechte Zentrierung und die irreguläre Form der Lötverbindungen, was Auswirkungen auf die Zuverlässigkeit hat [12]. Die Lötstoppmaske behindert auch das Fließen des Underfills (von den 31,4 µm in Bild 42 ist die Lötstoppdicke von etwa 18 µm zu subtrahieren, wenn man den für den Underfill zur Verfügung stehenden Spalt ermitteln will), siehe auch Abschnitt 3.3.2 [13]. Da sich in den Öffnungen der Lötstoppmaske Lufteinschlüsse bilden können, besteht die Gefahr der Void-Bildung.



Bild 41: Querschliff eines Testcoupons mit einem Chip mit 40 µm-Lotkugeln auf einer FR4-Leiterplatte

Aufgrund der erwähnten Nachteile lässt sich eine technologische Grenze für die Flip-Chip-Kontaktierung auf Leiterplatten in Subtraktivtechnologie mit dem genannten Lötstopp bei Chips mit einer Lotkugelgröße von 50 Mikrometern beobachten. Deshalb wurde die Flip-Chip-Kontaktierung auf Dünnfilmkeramiksubstrate (Bild 35) ebenfalls untersucht. Die Tabelle 4 fasst die Ausbeuteergebnisse auf Dünnfilmkeramiksubstraten zusammen.

Die geringen Toleranzen der Dünnfilmstrukturen trugen zu der im Vergleich zur Verwendung von Leiterplatten in Subtraktivtechnologie höheren Ausbeute bei der Kontaktierung von Chips mit 40 Mikrometer-Lotkugeln bei. Anstelle einer organischen Lötstoppmaske verhindert bei den Dünnfilmkeramiksubstraten von Lot unbenetzbares Metall (eine oberflächig oxidierte Nickelschicht) das Abfließen des Lotes von den Lötflächen. Der Wegfall der etwa 18 µm dicken organischen Lötstoppmaske bringt auch beim Underfill Vorteile und damit verbunden eine größere

Ausbeute (siehe Abschnitt 3.3.2). Zu den Ausbeuteverlusten bei der Bestückung hat die Durchbiegung des Keramiksubstrates beigetragen, die mit einem Niederhalter in der Bestückund Lötvorrichtung zwar verringert, aber nicht völlig ausgeschaltet werden konnte:



Tabelle 4: Ausbeute bei der Verwendung von Dünnfilmkeramiksubstraten

Bild 42: Durchbiegung des Dünnfilmkeramiksubstrates (Peak: Dünnfilmleitbahn)

Bei den gewählten Chipabmessungen 10 mm mal 10 mm wirkt sich die in Bild 42 exemplarisch dargestellte Substratdurchbiegung bei der Kontaktierung von Chips mit 40 Mikrometer-Lotkugeln schon nachteilig aus. Bei zu großer Substratdurchbiegung kann es im Extremfall sogar zu offenen Lötverbindungen kommen, was einen Teil des Ausbeuteverlustes in Tabelle 4 erklärt. Die Welligkeit des Dünnfilmkeramiksubstrates spielte dagegen eine eher untergeordnete Rolle.

6 Distanz [mm] 10

12

Als weitere Ausfallursache wurden Fremdpartikel (Bild 43) sowie in einem Fall eine fehlende Lotkugel ermittelt. Aus diesem Grund wurden bei nachfolgenden Experimenten die Chips zu 100 % visuell inspiziert und Fremdpartikel abgeblasen. Die genannten Probleme können sich bei Chips mit 30 Mikrometer-Lotkugeln noch wesentlich stärker auswirken.

44



Bild 43: Störendes Fremdpartikel auf einem Chip mit 40 µm-Lotkugeln

Die folgende Aufnahme mit dem Rasterelektronenmikroskop (REM) zeigt den Querschnitt eines ungealterten Lotkontaktes eines Chips mit 40 µm-Lotkugeln auf Dünnfilmkeramik, der eine einwandfreie Lötverbindung und gutes Ausfüllen mit Underfill erkennen lässt. Aufgrund der Substratdurchbiegung (siehe Bild 42) ist die Tonnenform bei den einzelnen Lötverbindungen unterschiedlich stark ausgeprägt (vgl. Bild 44 mit Bild 73). Auswirkungen auf die Temperaturwechselfestigkeit wurden jedoch bisher nicht festgestellt (siehe Abschnitt 3.3.3). Es wurde eine 2700-fache Vergrößerung gewählt:



Bild 44: REM-Bild vom Querschliff eines Chips mit 40 µm-Lotkugeln auf Dünnfilmkeramik

Die folgende Röntgenaufnahme zeigt die gute Positionierung des Flip-Chips auf dem Dünnfilmkeramiksubstrat.



Bild 45: Röntgenbild eines auf Dünnfilmkeramik kontaktierten Flip-Chips mit 40 µm-Lotkugeln (hellgrau: Leitbahnen, dunkelgrau: bleifreies Lot)



Bild 46: REM-Bild vom Querschliff eines Chips mit 30 µm-Lotkugeln auf Dünnfilmkeramik (Vergrößerung: 3300-fach)



Bild 47: Röntgenbild eines auf Dünnfilmkeramik kontaktierten Flip-Chips mit 30 µm-Lotkugeln (hellgrau: Leitbahnen, dunkelgrau: bleifreies Lot)

3.3.2 Underfillprozess

Aufgrund der völlig unterschiedlichen Materialeigenschaften von Siliziumchip, Lot und Verdrahtungsträger ist eine Fehlanpassung der thermischen Längenausdehnungskoeffizienten unvermeidbar. Um die mechanischen Spannungen, die bei Temperaturänderungen auf die Lötverbindungen einwirken zu verringern, wird daher Underfill verwendet [146], [116].

Bei den Underfillverfahren unterscheidet man Capillary-Flow- und No-Flow-Underfill. Beim Capillary-Flow-Prozess wird der Underfill nach dem Reflowlöten auf den Verdrahtungsträger aufgebracht und durch Kapillarkräfte in den Spalt zwischen Chip und Substrat gezogen. Fließgeschwindigkeit und Homogenität des Underfillprozesses hängen stark vom Spalt zwischen Chip und Substrat (Stand-Off), Füllstoffpartikelgröße und -form, Flussmittelrückständen und der Oberflächenenergie der beteiligten Materialien ab. Simulationsmodelle mit Berücksichtigung der Oberflächeneffekte des Verdrahtungsträgers, der temperaturabhängigen Viskosität des Underfills auf die Fließgeschwindigkeit bzw. -zeit, Form der Fließfront und der Void-Bildung während des Underfillprozesses können in [146], [144], [116], [13], [15], [70] und [141] gefunden werden.

Nach dem Reflowlöten wurde der Underfill mittels Kanülendosierung jeweils an einer der vier Chipseiten aufgebracht, was im Vergleich zur L-förmigen Dosierung zu weniger Lufteinschlüssen führt. Für die Fließzeit des Underfills gilt in erster Näherung

$$t_{Underfill} = \frac{6 \times n \times l^2}{\sigma \times h \times \cos \theta} [141], [31]$$

wobei n die Viskosität des Underfills, l die Kantenlänge des Chips, σ der Koeffizient der Oberflächenspannung, h die Spaltbreite und θ der Kontaktwinkel ist. Es liegt also eine quadratische Abhängigkeit der Fließzeit von der Kantenlänge des Chips vor. Da die Viskosität des Underfills stark temperaturabhängig ist, hängt die Underfillzeit auch stark von der Temperatur ab. Für die eingesetzten Underfillmaterialien wurde die optimale Temperatur für das beste Fließen des Underfills experimentell ermittelt. Für die im Folgenden beschriebenen Versuche wurde eine Standardaushärtung in einem Batchprozess im Konvektionsofen angewendet. Bild 48 zeigt den Querschnitt von zwei Lötverbindungen eines Chips mit 60 μ m-Lotbumps, der auf eine BT-Leiterplatte kontaktiert und unterfüllt wurde. Lötstoppmaske und Underfill können im gedruckten Bild leider nicht voneinander unterschieden werden.



Bild 48: Querschliff eines kontaktierten und unterfüllten Chips mit 60 µm-Lotkugeln



Bild 49: Daisy Chain eines auf eine BT-Leiterplatte kontaktierten Flip-Chips mit 60 μm-Balls nach 1000 Temperaturwechseln -55 °C / 125 °C. Es wurden keine Risse gefunden

Mit Hilfe der in Bild 49 auszugsweise dargestellten Daisy Chain ist durch eine einfache Widerstandsmessung (Durchgangsprüfung) feststellbar, ob eine der Lötverbindungen ausgefallen ist. Diese Messung kann auch während der Prüfbeanspruchungen (siehe Abschnitt 3.3.3) erfolgen. Dabei wurden eine Widerstandserhöhung der Daisy Chain bei Raumtemperatur um 20 Prozent oder eine zeitweilige Unterbrechung der Daisy Chain (bei beliebiger Temperatur) als Ausfall gewertet. Das folgende Bild zeigt eine Detailaufnahme aus obiger Daisy Chain:

48



Bild 50: Detailaufnahme der Daisy Chain mit einwandfreien Lötstellen

Bild 51 zeigt einen Teil der Daisy Chain eines Chips mit 40 Mikrometer-Lotkugeln, der auf ein Dünnfilmkeramiksubstrat kontaktiert und unterfüllt wurde, Bild 52 einen Aufbau mit einem Chip mit 30 μ m-Lotkugeln.



Bild 51: Daisy Chain eines auf Keramik kontaktierten Flip-Chips mit 40 µm-Lotkugeln



Bild 52: Daisy Chain eines auf Keramik kontaktierten Flip-Chips mit 30 µm-Lotkugeln

3.3.3 Baugruppenzuverlässigkeit

Die Fehlanpassung der thermischen Ausdehnungskoeffizienten zwischen Chip und Leiterplatte ist ein Hauptgrund für die Zuverlässigkeitsrisiken bei hochminiaturisierten Flip-Chip-Aufbauten, insbesondere bedingt durch den geringen Abstand zwischen Chip und LP. Diese Fehlanpassung der Ausdehnungskoeffizienten verursacht mechanische Spannungen in den Lötverbindungen.

Zahlreiche Studien zur Zuverlässigkeit von bleifreien Lötstellen beschreiben im Detail Simulationsmodelle und Experimente. Nach [65] hat die Lötstellengeometrie einen signifikanten Einfluss auf die Langzeitzuverlässigkeit der Lötstellen. Wichtige Parameter sind der Abstand zwischen Chip und Verdrahtungsträger (Stand-Off) und die Kontaktwinkel der Lötverbindungen auf der Chip- und Substratseite sowie die Chipgröße. Um den großen Unterschied der thermischen Ausdehnungskoeffizienten der Verbindungspartner auszugleichen, wird Underfill eingesetzt. Obwohl einige der bereits erwähnten Einflussfaktoren etwas an Bedeutung verlieren, wenn Underfill angewendet wird, treten neue mögliche Zuverlässigkeitsrisiken auf, z. B. Voids im Underfill [13].

Zusammenfassend sind die Schlüsselfaktoren für die Langzeitzuverlässigkeit von Lötverbindungen in [70] aufgeführt: Die Lötstellengeometrie, das Underfillmaterial sowie Größe und Layout des Chips [123], [12]. Die folgende Tabelle zeigt einige der durchgeführten Zuverlässigkeitstests:

Test 1	Zwischen zwei Daisy Chains angelegte Spannung	85 °C/85 % relative Feuchte, 3V	EIA/JESD22-A101-B
Test 2	Lebensdauertest mit Stromfluß durch die Daisy Chain	85 °C/85 % relative Feuchte, 100mA	EIA/JESD22-A101-B
Test 3	Lagerung in trockener Wärme	+125 °C/1000 h	MIL-STD883G, Methode 1005.8
Test 4	Temperaturwechsel	-55 °C/+125 °C	MIL-STD883G, Methode 1010.8, Kondition B
Test 5	Temperaturwechsel	-40 °C/+125 °C	DIN EN 60 068-2-14

Tabelle 5: Durchgeführte Zuverlässigkeitstests [20], [105], [106], [26]

Bereits bei Test 1 und Test 2 sind viele der getesteten Underfills ausgeschieden (vgl. Bild 53 und Bild 54) [115], [139], [66], [55], [128], [60]. Die weitaus kritischste Prüfbeanspruchung bei Flip-Chip-Aufbauten mit Leiterplatten war jedoch der Temperaturwechsel nach MIL-STD 883 (Test 4), siehe auch [59] und [6]. Vibrationstests wurden im Rahmen dieses Projektes nicht durchgeführt, es wird auf [145] verwiesen.

Prüfbeanspruchung feuchte Wärme

Bild 53 zeigt die Ergebnisse des Migrationstests, bei dem eine Spannung zwischen zwei in geringem Abstand (180 µm) benachbarten Daisy-Chains angelegt wird. Bei fünf der eingesetzten Underfills (weiße, grüne, rote, graue und gelbe Linie) tritt ein starker Widerstandsabfall innerhalb der ersten 2500 Stunden auf. Diese Underfills wurden daher nicht weiter eingesetzt.



Pro UFP Migrationsfestigkeit solationswiderstand; 85 °C / 85%r.F. / 3V

Bild 53: Migrationsfestigkeit bei 85 °C / 85 % rel. Feuchte, 3 V zwischen zwei benachbarten Daisy Chains unter Verwendung verschiedener Underfills

Bild 54 zeigt die Ergebnisse eines Klimatests, bei dem Strom von etwa 100 mA durch die Daisy-Chain fließt (n=6). Nur Aufbauten mit Underfill A weisen eine akzeptable Langzeitzuverlässigkeit auf. Bild 55 zeigt den Klimatest mit dem auch unter Berücksichtigung der Ergebnisse der Temperaturwechseltests ausgewählten High Performance Underfill (n=24). Dieser Underfill gewährleistet die geforderte Stabilität der Flip-Chip-Aufbauten in der feuchten Wärme. Bild 56 zeigt die Ergebnisse des Migrationstests, bei dem eine Spannung zwischen zwei in geringem Abstand benachbarten Daisy-Chains angelegt wird, für den ausgewählten High Performance Underfill (n=7). Alle Prüflinge bestanden den Test.



Bild 54: Feuchtebetrieb bei 85 °C / 85 % rel. Feuchte, 100 mA pro Chip, vier Underfills



Bild 55: Feuchtebetrieb bei 85 °C / 85 % rel. Feuchte, 100 mA pro Chip, ein Underfill



Bild 56: Migrationsfestigkeit bei 85 °C / 85 % rel. Feuchte, 3 V zwischen zwei Daisy Chains

Prüfbeanspruchung trockene Wärme

Die durchgeführten Tests bei isothermer Lagerung bei 125 °C (trockene Wärme) über 1000 Stunden erbrachten positive Ergebnisse (vgl. auch Abschnitt 3.3.5). Signifikante Widerstandsveränderungen der Daisy Chains traten nicht auf.

Prüfbeanspruchung Temperaturwechsel

Auf den folgenden Seiten sind die Ergebnisse der Temperaturwechselversuche für den nach zahlreichen Vorversuchen ausgewählten Underfill dargestellt. Bild 57 zeigt die Ergebnisse der Temperaturwechseltests nach MIL-STD883G, Methode 1010.8, Kondition B und Bild 58 die Ergebnisse des Temperaturwechseltests nach DIN EN 60 068-2-14 für Flip-Chips mit 60 Mikrometer-Lotkugeln auf BT-Leiterplatten:





Fehlerrate in Abhängigkeit von der Anzahl der Temperaturwechsel (Chips mit 60 µm-Lotkugeln auf BT)





Fehlerrate in Abhängigkeit der Anzahl der Temperaturwechsel (Chips mit 60 µm-Lotkugeln auf BT)

Bild 58: Fehlerrate von Flip-Chip-Aufbauten mit 60 µm-Lotkugeln in Abhängigkeit von der Anzahl der Temperaturwechsel nach DIN EN 60 068-2-14

54



Bild 59: Querschliff eines Testchips mit 60 µm-Lotkugeln. Deutlich ist beim rechten Lötkontakt die durch den Lötstopp hervorgerufene Hinterschneidung des Lotes zu erkennen

Von zwei Frühausfällen [54] abgesehen traten erst bei mehr als 2000 Temperaturwechseln nach MIL-STD883 Unterbrechungen der Daisy Chain auf. Die wahrscheinlichste Fehlerursache für die beiden Frühausfälle beim Test nach Military-Standard bei Chips mit 60 µm-Lotkugeln sind Hinterschneidungen des Lotes (in Bild 59 gut erkennbar), die der Lötstopplack aufgrund unzureichender Registrierung hervorruft und die zu lokalen Konzentrationen mechanischer Spannungen an den betroffenen Lötstellen führen Gleichartig aufgebaute Baugruppen aus diesem Los zeigten bis zu 3057 Temperaturwechseln zwischen -40 °C und 125 °C dagegen keine Ausfälle. [18], [116], [65], [12]

Bild 60 und Bild 61 zeigen die Ergebnisse der Temperaturwechseltests nach MIL-STD883G, Methode 1010.8, Kondition B und DIN EN 60 068-2-14 für Flip-Chips mit 50 Mikrometer-Lotkugeln auf BT-Leiterplatten. Bereits frühzeitig traten einige wenige Ausfälle auf. Im Laufe des Temperaturwechseltests steigt die Fehlerzahl stark an, insbesondere gegen Testende:



Fehlerrate in Abhängigkeit von der Anzahl der Temperaturwechsel (Chips mit 50 µm-Lotkugeln auf BT)



Bild 60: Fehlerrate von Flip-Chip-Aufbauten mit 50 µm-Lotkugeln in Abhängigkeit von der Anzahl der Temperaturwechsel nach MIL-STD883G, Methode 1010.8, Kondition B



Fehlerrate in Abhängigkeit der Anzahl der Temperaturwechsel (Chips mit 50 µm-Lotkugeln auf BT)

Bild 61: Fehlerrate von Flip-Chip-Aufbauten mit 50 µm-Lotkugeln in Abhängigkeit von der Anzahl der Temperaturwechsel nach DIN EN 60 068-2-14

56



Fehlerrate in Abhängigkeit von der Anzahl der Temperaturwechsel (Chips mit 40 µm-Lotkugeln auf BT)

Bild 62: Fehlerrate von Flip-Chip-Aufbauten mit 40 μm-Lotkugeln in Abhängigkeit von der Anzahl der Temperaturwechsel nach MIL-STD883G, Methode 1010.8, Kondition B



Fehlerrate in Abhängigkeit der Anzahl der Temperaturwechsel (Chips mit 40 µm-Lotkugeln auf BT)

Bild 63: Fehlerrate von Flip-Chip-Aufbauten mit 40 µm-Lotkugeln in Abhängigkeit von der Anzahl der Temperaturwechsel nach DIN EN 60 068-2-14

57

Bild 62 und Bild 63 zeigen die Ergebnisse der Temperaturwechseltests nach MIL-STD883G, Methode 1010.8, Kondition B und DIN EN 60 068-2-14 für Flip-Chips mit 40 Mikrometer-Lotkugeln auf BT-Leiterplatten. Der erste Ausfall trat beim Test nach MIL-STD bereits bei 250 Temperaturwechseln auf. Im weiteren Verlauf der Prüfbeanspruchung zeigte sich, dass die Langzeitzuverlässigkeit dieser Flip-Chip-Aufbauten mit Chips mit 40 Mikrometer-Lotkugeln auf Leiterplatten in Subtraktivtechnologie mit Lötstoppmaske nicht gegeben ist [62], [54].

Bild 64 zeigt die Ergebnisse der Temperaturwechseltests nach MIL-STD883G, Methode 1010.8, Kondition B für Flip-Chips mit 40 Mikrometer-Lotkugeln auf Dünnfilmkeramik. Nach 4326 Temperaturwechseln wurde der erste intermittierende Ausfall der Daisy Chain eines Chips beobachtet, der Test wurde bis 6163 Temperaturwechsel fortgesetzt. Weitere Ausfälle traten nicht auf. Auch beim Temperaturwechsel -40 °C / 125 °C nach DIN EN 60 068-2-14 traten bei 3000 Temperaturwechseln keine Ausfälle auf. Diese Flip-Chip-Aufbauten auf Dünnfilmkeramik sind langzeitzuverlässig.



Fehlerrate in Abhängigkeit von der Anzahl der Temperaturwechsel (Chips mit 40 µm-Lotkugeln auf Dünnfilmkeramik)

Bild 64: Fehlerrate von Flip-Chip-Aufbauten mit 40 µm-Lotkugeln auf Keramik in Abhängigkeit von der Anzahl der Temperaturwechsel nach MIL-STD883G, Methode 1010.8, Kondition B

Der Flip-Chip-Aufbau mit 30 Mikrometer-Lotkugeln hat bei Redaktionsschluss 1000 Temperaturwechsel -55 °C / 125 °C nach MIL-STD883G, Methode 1010.8 erfolgreich überstanden.

3.3.4 Diskussion der experimentellen Ergebnisse

Die Unterbrechungen der Daisy Chain bei Aufbauten mit Chips mit 50 Mikrometer-Lotkugeln auf Leiterplatten vor Erreichen von 1000 Temperaturwechseln betrachten wir als Frühausfälle. Die Ausfallursache für diese Ausfälle konnte auf Leiterplattentoleranzen, insbesondere Toleranzen der Lötstoppmaskenregistrierung, zurückgeführt werden. Schon eine geringe Abweichung von den nominalen Abmessungen der Öffnungen in der Lötstoppmaske oder deren Position führt zu Lötverbindungen mit irregulärer Form. Dies kann zu Stresskonzentrationen in einigen Lötverbindungen und somit zu deren Ausfall führen. Außerdem tragen die Öffnungen in der dicken Lötstoppmaske und die daraus resultierende Topographie der Leiterplattenoberfläche zur Bildung von Voids im Underfill bei, was ebenfalls negative Auswirkungen auf die Zuverlässigkeit hat [65], [67]. Die Ergebnisse mit Leiterplatten aus BT und aus FR4 mit hoher Glasübergangstemperatur sind sehr ähnlich. Daher werden die experimentellen Ergebnisse mit FR4-Leiterplatten nicht aufgeführt.

Das Fehlen einer dicken Lötstoppmaske bei Dünnfilmkeramiksubstraten und deren sehr genaue Strukturierung der Metallisierung sind vorteilhaft für die Ausbeute und den Underfillprozess: Der größere Abstand zwischen Chip und Substrat sichert ein hervorragendes Fließen des ausgewählten Underfills. Es wurden keine Voids gefunden. Außerdem trägt die geringe Fehlanpassung der thermischen Ausdehnungskoeffizienten zwischen Chip und Substrat zu einer höheren Langzeitzuverlässigkeit der Lötverbindungen bei.

3.3.5 Werkstoffwissenschaftliche Untersuchungen

50 µm-Lotbump – BT-Leiterplatte – 2000 Temperaturwechseln -55 °C / 125 °C

Bild 65 zeigt eine Rasterelektronenmikroskop-Aufnahme vom Querschliff einer Lötverbindung zwischen Leiterplatte und Chip mit 50 µm-Lotkugeln nach 2000 Temperaturwechseln nach MIL-STD 883G, Methode 1010.8, Kondition B. Die von der idealen Tonnenform abweichende Geometrie des Lotkontaktes wird durch die Lötstoppmaske hervorgerufen. Es sind keine Risse im Lot sichtbar. Die EDX-Analyse ergab, dass sich nach der Prüfbeanspruchung immer noch duktiles Lot (siehe Tabelle 8) zwischen den intermetallischen Schichten an der Chip- bzw. Leiterplattenmetallisierung befindet, was vorteilhaft für die Langzeitzuverlässigkeit ist [134], [30], [97].

An der Grenzfläche zwischen der Nickelschicht auf der Leiterplatte und dem Lot bilden sich intermetallische Phasen (Elementkonzentrationen siehe Tabelle 7). Dies trifft auch auf die Grenzfläche UBM-Lot zu (Elementkonzentrationen siehe Tabelle 9). Das Vorhandensein der Elemente Kohlenstoff, Sauerstoff und Silizium resultiert aus der Probenpräparation und wird daher bei den nachfolgenden Analysen ebensowenig betrachtet wie Stickstoff.



Bild 65: REM-Aufnahme des Querschliffs eines Chips mit 50 μm-Lotbump auf einer BT-Leiterplatte nach 2000 Temperaturwechseln -55 °C / 125 °C



Bild 66: Übersichtsaufnahme mit den Punkten P1 bis P6 für die EDX-Analyse

In Bild 67 ist als Beispiel ein Linienspektrum angegeben, welches vom Messpunkt P1 (siehe Bild 66) stammt. Deutlich sind die Peaks für Nickel, Phosphor und Kupfer erkennbar:



Bild 67: Linienspektrum von Punkt P1 mit den Linien von Ni, P, und Cu [136]

In den folgenden Tabellen sind die mittels EDX-Analyse ermittelten Elementkonzentrationen angegeben. Zu beachten ist, dass es sich bei der EDX-Analyse um ein halbquantitatives Verfahren handelt, die Prozentangaben in den Tabellen also nur Anhaltswerte sind. Phosphor ist Bestandteil der Nickelschicht der Leiterplattenmetallisierung. Zinn wurde im Messpunkt P1 nicht gefunden, ist also nicht durch die Nickelschicht hindurchdiffundiert. Im Messpunkt P2 haben sich intermetallische Phasen zwischen Nickel und Zinn gebildet. Das Analyseergebnis weist auf Nickel-Zinn-Phasen (Ni₃Sn₄ bzw. NiSn₃ [86], S. 14/95) oder eine komplexe intermetallische Phase [1] hin. Der Punkt P3 besteht im Wesentlichen aus Zinn, C und O stammen aus der Probenpräparation. Das Spektrum von P4 weist auf Nickel-Zinn-Phasen (Ni₃Sn₄ bzw. NiSn₃ [86], S. 14/95) oder eine komplexe intermetallische Phase [1] hin. Tabelle 10 zeigt das Analyseergebnis von Punkt P5. Die UBM (Ni/P) ist sehr stabil: Zinn wurde im Punkt P5 nicht gefunden.

Tabelle 6: Ergebnis der EDX-Analyse im Punkt 1 von Bild 66

Element	AN	series	Net	[wt.%]	[norm. wt.%]	[norm. at.%]	Error in %
Nickel	28	K-series	41370	76,53621	90,3003	84,88394	2,098616
Phosphor	15	K-series	7759	6,214423	7,332011	13,06035	0,283856
Kupfer	29	K-series	843	2,006788	2,367685	2,055707	0,118284
			Sum:	84,75742	100	100	

Tabelle 7: Ergebnis der EDX-Analyse im Punkt 2 von Bild 66

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Zinn	50	L-series	271286	65,25586	54,86642	16,47191	1,946809
Gold	79	L-series	3659	5,619242	4,724597	0,854864	0,218466
Kohlenstoff	6	K-series	45678	22,44667	18,87292	55,99956	2,926644
Sauerstoff	8	K-series	2845	9,920893	8,341379	18,58056	1,761082
Nickel	28	K-series	33096	13,94405	11,724	7,118877	0,404828
Kupfer	29	K-series	2863	1,498214	1,259682	0,706476	0,075995
Silizium	14	K-series	1534	0,250955	0,211	0,267748	0,065681
			Sum:	118,9359	100	100	

Tabelle 8: Ergebnis der EDX-Analyse im Punkt 3 von Bild 66

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Kohlenstoff	6	K-series	44130	19,99528	17,09573	49,22287	2,625196
Stickstoff	7	K-series	673	1,345141	1,15008	2,839557	2,197008
Sauerstoff	8	K-series	3059	14,68518	12,55566	27,13904	2,555663
Silizium	14	K-series	3151	0,477173	0,407978	0,502357	0,048539
Zinn	50	L-series	350759	79,45241	67,9309	19,78967	2,36325
Nickel	28	K-series	2520	1,005441	0,859641	0,506508	0,059916
			Sum:	116,9606	100	100	

Tabelle 9: Ergebnis der EDX-Analyse im Punkt 4 von Bild 66

Element	ANI		N-4	$\Gamma_{} \neq 0/1$	F	[Eman in 0/
Element	AN	series	Inet	[WL.%0]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Kohlenstoff	6	K-series	49220	23,44262	19,21009	55,56603	3,031986
Stickstoff	7	K-series	586	1,326178	1,086739	2,695557	2,243087
Sauerstoff	8	K-series	2980	9,802846	8,032957	17,44339	1,723523
Nickel	28	K-series	38454	15,77253	12,92483	7,650584	0,453031
Zinn	50	L-series	262692	63,94859	52,40277	15,33649	1,908501
Silizium	14	K-series	1386	0,217673	0,178373	0,22065	0,061767
Gold	79	L-series	4655	7,522396	6,164239	1,087292	0,27532
			Sum:	122,0328	100	100	

Tabelle 10: Ergebnis der EDX-Analyse im Punkt 5 von Bild 66

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Nickel	28	K-series	41808	77,15478	91,98538	85,82919	2,114901
Phosphor	15	K-series	8444	6,722443	8,014622	14,17081	0,303481
			Sum:	83,87722	100	100	

Tabelle 11: Ergebnis der EDX-Analyse im Punkt 6 von Bild 66

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Nickel	28	K-series	26652	49,11789	56,77602	62,32165	1,371558
Phosphor	15	K-series	11341	7,989001	9,234591	19,20821	0,350562
Zinn	50	L-series	30484	29,03352	33,56023	18,21382	1,899016
Silber	47	L-series	426	0,371268	0,429153	0,25632	0,054842
			Sum:	86,51169	100	100	

Die Nickelschicht auf der Leiterplatte sowie die UBM bestehen aus einer Ni/P-Schicht (Elementkonzentrationen siehe Tabelle 6 sowie Tabelle 10). Bei dem dunklen Saum zwischen UBM und Lot, der in Bild 65 sichtbar ist, handelt es sich vermutlich um eine Ni/P-Phase der Stöchiometrie Ni₃P ([11], [86], S. 62/95), [60]). Die durchgeführten werkstoffwissenschaftlichen Untersuchungen bestätigen einen Nickel- und Phosphorgehalt in diesem Saum, der diese Stöchiometrie vermuten lässt (siehe Tabelle 11). Dies gilt analog für den dunklen Saum an der Nickelschicht der Leiterplattenmetallisierung von Bild 65.

40 µm-Lotbump – Dünnfilmkeramik – ungealtert

Bild 68 bis Bild 71 zeigen die Ergebnisse der werkstoffwissenschaftlichen Analyse einer Lötverbindung zwischen Dünnfilmkeramik und Chip mit 40 µm-Lotkugeln direkt nach dem Underfill (ungealterte Probe).



Bild 68: Querschliff einer ungealterten Probe mit 40 µm-Lotbump auf Keramik (1000fache Vergrößerung)

3 Bereitstellung kleinster Lotmengen bei feinsten Anschlussstrukturen



Bild 69: REM-Aufnahme des ungealterten Chips mit 40 µm-Lotbump auf Keramik. Der Füllstoff des Underfills ist erkennbar (2000fache Vergrößerung)



Bild 70: Elementmapping für die Elemente Ni und Sn sowie SE-Image


Bild 71: Übersichtsaufnahme mit den Punkten P1 bis P5 für die EDX-Analyse

Tabelle 12 zeigt die Ergebnisse der EDX-Analyse von Punkt P1. Vermutlich wird die unter der Nickelschicht liegende Goldschicht bei der Analyse mit erfasst. Im Punkt P2 haben sich intermetallische Phasen zwischen Nickel und Zinn gebildet, vermutlich Ni₃Sn₄ bzw. NiSn₃ [86]. Im Punkt P3 wurde Zinn (duktiles Lot) detektiert. Im Punkt P4 haben sich intermetallische Phasen zwischen Nickel und Zinn gebildet, vermutlich Ni₃Sn₄, NiSn₃ [86] oder eine komplexe intermetallische Phase [1]. Kupfer ist Bestandteil des verwendeten bleifreien Lotes. Die UBM (P5) besteht aus einer Ni/P-Schicht mit etwa 9,7 Gewichts-Prozent Phosphor.

Tabelle 12: Ergebnis der EDX-Analyse im Punkt 1 von Bild 71

Element	AN	series	Net	[wt.%]	[norm. wt.%]	[norm. at.%]	Error in %
Nickel	28	K-series	28214	77,91411	80,70631	92,73122	2,157127
Gold	79	L-series	1302	15,79085	16,35674	5,600312	0,698628
Zinn	50	L-series	1788	2,835342	2,936952	1,668466	0,139348
			Sum:	96,5403	100	100	

65

Tabelle 13: Ergebnis der EDX-Analyse im Punkt 2 von Bild 71

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Nickel	28	K-series	7040	18,00733	18,47207	31,42489	0,561253
Zinn	50	L-series	54761	79,47673	81,52793	68,57511	2,39419
			Sum:	97,48406	100	100	

Tabelle 14: Ergebnis der EDX-Analyse im Punkt 3 von Bild 71

Element	AN	series	Net	[wt.%]	[norm. wt.%]	[norm. at.%]	Error in %
Zinn	50	L-series	72194	96,34397	100	100	2,886586
			Sum:	96,34397	100	100	

Tabelle 15: Ergebnis der EDX-Analyse im Punkt 4 von Bild 71

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Nickel	28	K-series	7205	18,88453	20,31884	33,28281	0,586055
Zinn	50	L-series	52572	71,16838	76,57375	62,01587	2,147841
Kupfer	29	K-series	893	2,888055	3,107408	4,701326	0,156832
			Sum:	92,94096	100	100	

Tabelle 16: Ergebnis der EDX-Analyse im Punkt 5 von Bild 71

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Nickel	28	K-series	26160	71,29261	90,30364	83,0931	1,980676
Phosphor	15	K-series	6595	7,655054	9,696365	16,9069	0,347609
			Sum:	78,94767	100	100	

40 μm -Lotbump – Dünnfilmkeramik – 1000 h bei 125 °C

Bild 72 bis Bild 75 zeigen die Ergebnisse der werkstoffwissenschaftlichen Analysen einer Lötverbindung zwischen Dünnfilmkeramik und Chip mit 40 μ m-Lotkugeln nach 1000 Stunden isothermer Lagerung in trockener Wärme bei 125 °C.

66



Bild 72: Querschliff einer 1000 h bei 125 °C gealterten Probe mit 40 µm-Lotbump auf Keramik (1000x). Die Phasenbildung ist gegenüber Bild 68 nur wenig stärker ausgeprägt



Bild 73: REM-Aufnahme von dieser Probe nach einer Lagerung bei 125 °C über 1000 h bei 1800facher Vergrößerung. Die weißen Punkte sind die Meßstellen der EDX-Analyse



Bild 74: Elementmapping für die Elemente Ni und Sn sowie SE-Image. Die Nickelschichten von Substrat und Chip sind an der Grenzfläche zum Lot aufgrund von Phasenbildung etwas dünner als bei der ungealterten Probe in Bild 68



Bild 75: Übersichtsaufnahme mit den Punkten P1 bis P5 für die EDX-Analyse

In den folgenden Tabellen sind die jeweiligen Elementkonzentrationen in den Punkten P1-P5 angegeben: Mit Sicherheit wird die unter der Nickelschicht liegende Goldschicht bei der Analyse mit erfasst. Detektiertes Zinn könnte aufgrund der "Analysebirne" ebenfalls aus Nachbarbereichen stammen. Im Punkt P2 haben sich intermetallische Phasen zwischen Nickel und Zinn gebildet, vermutlich Ni₃Sn₄ bzw. NiSn₃ [86]. In der Mitte der Lötverbindung ist nach 1000 Stunden Lagerung bei 125 °C noch genügend duktiles Lot vorhanden (vgl. Tabelle 19). Im Punkt P4 haben sich intermetallische Phasen zwischen Nickel und Zinn gebildet, vermutlich Ni₃Sn₄, NiSn₃ [86] oder eine komplexe intermetallische Phase [1]. Das Gold stammt ursprünglich aus dem Goldflash auf der UBM. Die UBM besteht aus einer Ni/P-Schicht mit etwa 10 Gewichts-Prozent Phosphor.

Tabelle 17: Ergebnis der EDX-Analyse im Punkt 1 von Bild 75

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Nickel	28	K-series	17739	46,15418	50,61229	75,40406	1,31089
Zinn	50	L-series	5053	8,320108	9,123763	6,720702	0,306307
Gold	79	L-series	3212	36,71735	40,26394	17,87524	1,315687
			Sum:	91,19163	100	100	

Tabelle 18: Ergebnis der EDX-Analyse im Punkt 2 von Bild 75

Element	AN	series	Net	[wt.%]	[norm. wt.%]	[norm. at.%]	Error in %
Nickel	28	K-series	8047	20,46195	22,68368	37,24073	0,626477
Zinn	50	L-series	49493	69,74364	77,31632	62,75927	2,107358
			Sum:	90,20558	100	100	

Tabelle 19: Ergebnis der EDX-Analyse im Punkt 3 von Bild 75

Element	AN	series	Net	[wt.%]	[norm. wt.%]	[norm. at.%]	Error in %
Zinn	50	L-series	69881	92,1505	100	100	2,76307
			Sum:	92,1505	100	100	

Tabelle 20: Ergebnis der EDX-Analyse im Punkt 4 von Bild 75

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Nickel	28	K-series	5529	15,40621	14,50678	26,12302	0,496417
Kupfer	29	K-series	648	2,227927	2,097859	3,48923	0,138068
Zinn	50	L-series	50702	76,97078	72,47716	64,52907	2,322236
Gold	79	L-series	1130	11,59513	10,9182	5,858685	0,53901
			Sum:	106.2	100	100	

Tabelle 21: Ergebnis der EDX-Analyse im Punkt 5 von Bild 75

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Nickel	28	K-series	25352	66,85513	89,57738	81,93482	1,860893
Phosphor	15	K-series	6964	7,778813	10,42262	18,06518	0,351488
			Sum:	74,63395	100	100	

40 µm-Lotbump – Dünnfilmkeramik – 2000 Temperaturwechsel -55 °C/+125 °C

Bild 76 bis Bild 79 zeigen die Ergebnisse der werkstoffwissenschaftlichen Analysen des Querschliffs einer Lötverbindung zwischen Dünnfilmkeramik und Chip mit 40 μ m-Lotkugeln nach 2000 Temperaturwechseln nach MIL-STD 883G, Methode 1010.8, Kondition B.



Bild 76: Querschliff einer Probe nach 2000 Temperaturwechseln -55 °C / 125 °C (1000x). Die Phasenbildung ist gegenüber Bild 68 nur wenig stärker ausgeprägt

In Tabelle 22 bis Tabelle 26 sind die jeweiligen Elementkonzentrationen für P1-P5 in Bild 79 angegeben: Zinn ist kaum nachweisbar, diffundiert also nicht durch die Nickelschicht. Vermutlich wird die unter der Nickelschicht liegende Goldschicht bei der Analyse teilweise mit erfasst. Im Punkt P2 haben sich intermetallische Phasen zwischen Nickel und Zinn gebildet, vermutlich Ni₃Sn₄ [86] oder eine komplexe intermetallische Phase [1]. Aus dem Goldflash der Nickelmetallisierung stammendes Gold ist ebenfalls nachweisbar. In der Mitte der Lötverbindung (P3) ist nach 2000 Temperaturwechseln -55 °C/125 °C noch genügend duktiles Lot vorhanden, um eine zuverlässige Verbindung zu gewährleisten. Im Punkt P4 haben sich intermetallische Phasen zwischen Nickel und Zinn gebildet, vermutlich Ni₃Sn₄ und NiSn₃ [86] oder eine komplexe intermetallische Phase [1]. Das Gold stammt ursprünglich aus dem Goldflash auf der UBM. Die UBM besteht aus einer Ni/P-Schicht mit etwa 9,1 Gewichts-Prozent Phosphor.



Bild 77: REM-Aufnahme einer Probe nach 2000 Temperaturwechseln -55 °C / 125 °C. Risse wurden nicht gefunden. Deutlich sind die Füllstoffpartikel des Underfills erkennbar



Bild 78: Elementmapping für die Elemente Ni, Sn, Ag und SE-Image



Bild 79: Übersichtsaufnahme mit den Messpunkten P1 bis P5 für die EDX-Analyse

Tabelle	22:	Ergebnis	der	EDX-Anal	lyse ir	n Punkt	l von	Bild 79
		(7			2			

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Nickel	28	K-series	27644	53,31194	78,27238	92,32812	1,484819
Gold	79	L-series	1724	14,69693	21,57798	7,584606	0,609739
Zinn	50	L-series	90	0,101923	0,149643	0,087274	0,03688
			Sum:	68,11079	100	100	

Tabelle 23: Ergebnis der EDX-Analyse im Punkt 2 von Bild 79

Element	AN	series	Net	[wt.%]	[norm. wt.%]	[norm. at.%]	Error in %
Nickel Gold Zinn	28 79 50	K-series L-series L-series	10328 1424 55742	24,4513 13,32994 71,90459	22,29212 12,15284 65,55504	38,22008 6,208903 55,57101	0,728889 0,580609 2,167901
			Sum:	109,6858	100	100	

Tabelle 24: Ergebnis der EDX-Analyse im Punkt 3 von Bild 79

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Zinn	50	L-series	85105	95,70767	98,9651	98,86226	4,668858
Silber	47	L-series	1024	1,000837	1,034901	1,137737	0,088406
1			Sum:	96,7085	100	100	

Tabelle	e 25: Erge	bnis der EDX	-Analyse im	Punkt 4 voi	n Bild 79
---------	------------	--------------	-------------	-------------	-----------

Element	AN	series	Net	[wt.%]	norm.	[norm. at.%]	Error in %
					wt.%]		
Nickel	28	K-series	9641	21,23464	19,96972	34,075	0,639567
Gold	79	L-series	1267	11,01872	10,36235	5,268888	0,498413
Zinn	50	L-series	59862	71,35083	67,10055	56,60984	2,149241
Kupfer	29	K-series	986	2,730004	2,567381	4,046274	0,145849
			Sum:	106,3342	100	100	

Tabelle 26: Ergebnis der EDX-Analyse im Punkt 5 von Bild 79

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Nickel	28	K-series	32738	71,77306	90,87277	84,01052	1,98063
Phosphor	15	K-series	7687	7,208865	9,127234	15,98948	0,325468
			Sum:	78,98192	100	100	

30 µm-Lotbump – Dünnfilmkeramik – ungealtert

Bild 80 zeigt eine Probe, bei der ein Chip mit 30 Mikrometer-Lotkugeln auf Dünnfilmkeramik kontaktiert wurde nach dem Underfillprozess (ungealterte Probe). Im Lichtmikroskop war zu sehen, dass alle Lötkontakte völlig einwandfrei ausgebildet sind.



Bild 80: Querschliff einer ungealterten Probe mit 30 µm-Lotbump auf Keramik (1000fache Vergrößerung)

In Bild 80 sind die intermetallischen Phasen gut erkennbar, die sich zwischen UBM und Lot bzw. Substratmetallisierung und Lot bereits während des Reflowlötprozesses ausbilden. Die EDX-Analyse beweist jedoch, dass sich trotz der weiteren Verringerung Lotvolumens beim Übergang zu Chips mit Lotkugeln mit 30 Mikrometer Durchmesser noch duktiles Lot zwischen den Phasengebieten befindet (siehe Bild 83 und Tabelle 29), um einen Sprödbruch zu vermeiden und die Langzeitzuverlässigkeit der Lotkontakte zu gewährleisten [134], [30], [97]. Wie im Bild 81 beispielhaft dargestellt, sind die Lotkontakte einwandfrei ausgebildet. Das Elementmapping (Bild 82) zeigt Gebiete mit hoher Silberkonzentration im Lot. Vermutlich handelt es sich um die intermetallische Phase Ag₃Sn.



Bild 81: REM-Aufnahme des ungealterten Chips mit 30 µm-Lotbump auf Keramik. Der Füllstoff des Underfills ist gut erkennbar (3300fache Vergrößerung)

In Tabelle 27 bis Tabelle 32 sind die jeweiligen Elementkonzentrationen angegeben: Vermutlich wird die unter der Nickelschicht liegende Goldschicht bei der Analyse mit erfasst. Im Punkt P2 haben sich intermetallische Phasen mit Nickel und Zinn gebildet. Das Gold stammt ursprünglich aus dem Goldflash der Dünnfilmmetallisierung. Zwischen den Verbindungspartnern ist noch duktiles Lot vorhanden (P3). Im Punkt P4 haben sich intermetallische Phasen zwischen Nickel und Zinn gebildet, vermutlich Ni₃Sn₄ und NiSn₃ [86] oder eine komplexe intermetallische Phase [1]. Das Gold stammt ursprünglich aus dem Goldflash auf der UBM. Die UBM besteht aus einer Ni/P-Schicht mit etwa 8 Gewichts-Prozent Phosphor. Bei dem dunklen Saum zwischen UBM

74

und Lot, der in den REM-Aufnahmen sichtbar ist, handelt es sich vermutlich wieder um eine Ni/P-Phase der Stöchiometrie Ni₃P ([11], [86], S. 62/95), [73]). Die Zusammensetzung dieser Schicht kann bei der vorliegenden Schichtdicke von etwa 0,5 µm allerdings noch nicht mit ausreichender Genauigkeit mittels EDX bestimmt werden. Die durchgeführten Untersuchungen bestätigen aber einen höheren Nickel- und Phosphorgehalt in diesem Saum als in der UBM.



Bild 82: Elementmapping für die Elemente Ni, Sn und Ag sowie SE-Image (3300x). Auffällig, aber nicht untypisch für SnAgCu-Lote ist das große silberreiche Gebiet (vermutlich Ag₃Sn) links im Bild





Bild 83: Übersichtsaufnahme mit den Messpunkten P1 bis P6 für die EDX-Analyse

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Nickel	28	K-series	44014	86,26546	85,24714	94,83244	2,359169
Gold	79	L-series	1585	13,64597	13,48488	4,470141	0,578853
Zinn	50	L-series	1149	1,283128	1,267982	0,697416	0,082737
			Sum:	101,1946	100	100	

Tabelle 27: Ergebnis der EDX-Analyse im Punkt 1 von Bild 83

Tabelle 28: Ergebnis der EDX-Analyse im Punkt 2 von Bild	83
--	----

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Nickel	28	K-series	15426	27,83189	25,85517	43,40544	0,805897
Gold	79	L-series	2231	16,15285	15,00562	7,506676	0,632406
Zinn	50	L-series	63969	63,66061	59,13921	49,08788	1,918616
			Sum:	107,6454	100	100	

Tabelle 29: Ergebnis der EDX-Analyse im Punkt 3 von Bild 83

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%]		
Zinn	50	L-series	125011	96,91385	99,0771	98,98528	4,258007
Silber	47	L-series	1340	0,902746	0,922897	1,014718	0,079542
			Sum:	97,8166	100	100	

Tabelle 30: Ergebnis der EDX-Analyse im Punkt 4 von Bild 83

Element	AN	series	Net	[wt.%]	[norm. wt.%]	[norm. at.%]	Error in %
Nickel	28	K-series	12001	19,49905	18,17962	31,84696	0,580381
Kupfer	29	K-series	1005	2,049001	1,910352	3,090989	0,115174
Zinn	50	L-series	81975	72,77253	67,84828	58,76569	2,183513
Gold	79	L-series	2021	12,93716	12,06175	6,296369	0,521719
			Sum:	107,2577	100	100	

Tabelle 31: Ergebnis der EDX-Analyse im Punkt 5 von Bild 83

Element	AN	series	Net	[wt.%]	[norm.	[norm. at.%]	Error in %
					wt.%		
Nickel	28	K-series	46992	75,42497	91,9931	85,84193	2,063204
Phosphor	15	K-series	9479	6,564841	8,006899	14,15807	0,295076
			Sum:	81,98981	100	100	

Tabelle 32: Ergebnis der EDX-Analyse im Punkt 6 von Bild 83

Element	AN	series	Net	[wt.%]	[norm. wt.%]	[norm. at.%]	Error in %
Nickel	28	K-series	33722	54,88594	62,14877	65,68835	1,519321
Phosphor	15	K-series	12844	8,145197	9,223017	18,47244	0,355015
Zinn	50	L-series	27837	23,57245	26,69169	13,9487	0,737765
Kupfer	29	K-series	820	1,710219	1,936525	1,890515	0,105206
			Sum:	88,31381	100	100	

30 μm -Lotbumps – Dünnfilmkeramik – 1000 Temperaturwechsel -55 °C/+125 °C

Bild 84 zeigt eine Probe, bei der ein Chip mit 30 Mikrometer-Lotkugeln auf Dünnfilmkeramik kontaktiert wurde nach 1000 Temperaturwechseln nach MIL-STD 883G, Methode 1010.8, Kondition B (-55 °C / +125 °C). Risse wurden nicht gefunden.

77



Bild 84: Querschliff einer Probe mit 30 µm-Lotbump auf Keramik nach 1000 Temperaturwechseln (1000fache Vergrößerung)

In Bild 84 sind die intermetallischen Phasen gut erkennbar, die sich zwischen UBM und Lot bzw. Substratmetallisierung und Lot schon während des Reflowlötprozesses ausbilden und während der Prüfbeanspruchung weiter wachsen. Die EDX-Analyse beweist jedoch, daß sich noch duktiles Lot zwischen den Phasengebieten befindet. Auch bei der REM-Analyse (in Bild 85 ist ein Kontakt beispielhaft dargestellt) wurden keine Risse entdeckt. Das Elementmapping (Bild 86) deutet nicht auf eine signifikante Veränderung des Kontaktes während der Prüfbeanspruchung hin, die einen baldigen Ausfall derartiger Mikrolötverbindungen zur Folge haben könnte.



Bild 85: REM-Aufnahme eines Chips mit 30 μm-Lotbumps nach 1000 Temperaturwechseln -55 °C /125 °C (3300fache Vergrößerung)

Die werkstoffwissenschaftlichen Ergebnisse zeigen, dass die gewählten Kontaktsysteme langzeitstabil sind [136]. Dies hängt mit der geringen Phasenwachstumsgeschwindigkeit der Nickel-Zinn-Phasen [86] und dem Kupferanteil im Lot zusammen [1], [93]. Kupfer und Silber wurden im Lot aufgrund der geringen Konzentration und der ungleichmäßigen Verteilung nicht überall nachgewiesen. Dies bedeutet jedoch nicht, dass diese Elemente nicht vorhanden sind. Nach [86], S. 95] liegt der Silberanteil des Lotes gebunden als Ag₃Sn-Ausscheidung im Lot vor, was auch durch unsere EDX-Analysen bestätigt wurde (vgl. Bild 78, Bild 82 und Bild 86).

Nach [86] nimmt das Phasenwachstum der Ni₃Sn₄-Phase und der Ni₃P-Phase bei Temperaturen oberhalb von 150 °C stark zu. Dies wurde im Rahmen dieser Arbeit nicht erneut untersucht. Bei der gewählten Dünnfilmmetallisierung mit einer nominalen Dicke der Nickelschicht von 2,15 μ m könnte obiger Sachverhalt aber zu Zuverlässigkeitsproblemen bei derartig hohen Betriebstemperaturen führen.



Bild 86: Elementmapping für die Elemente Ni, Sn und Ag sowie SE-Image (3300x) nach 1000 Temperaturwechseln

3.3.6 Schlussfolgerungen

In diesem Verbundprojekt wurden umfangreiche, detaillierte experimentelle Studien durchgeführt, um den Bestückprozess von Flip-Chips mit 60 Mikrometer-Lotkugeln, 50 Mikrometer-Lotkugeln, 40 Mikrometer-Lotkugeln sowie 30 Mikrometer-Lotkugeln zu untersuchen. Die automatische Flip-Chip-Bestückung und der Underfillprozess wurden erfolgreich durchgeführt. Außerdem wurde die Baugruppenzuverlässigkeit von diesen Flip-Chip-Aufbauten nachgewiesen.

Die wesentlichen Ergebnisse können wie folgt zusammengefasst werden:

1. Flip-Chip-Kontaktierung und Underfill von Chips mit 60 Mikrometer-Lotkugeln besitzen Fertigungsreife. Die Gesamtausbeute betrug 100 Prozent. Diese Flip-Chip-Aufbauten besitzen eine ausreichende Langzeitzuverlässigkeit, was durch umfangreiche Zuverlässigkeitsuntersuchungen nachgewiesen wurde.

2. Bei der Verwendung von Leiterplatten in Subtraktivtechnologie mit Lötstoppmaske beobachteten wir eine technologische Grenze für die Flip-Chip-Kontaktierung bei Chips mit einer Lot-

kugelgröße von 50 Mikrometern. Die betrifft sowohl die Bestückausbeute als auch die Baugruppenzuverlässigkeit. Als Hauptproblem wurden die Toleranzen der Lötstoppöffnungen und der Lötstoppregistrierung erkannt. Die Lötstoppmaske begünstigt bei derartig kleinen Strukturen auch die Entstehung von Voids im Underfill. Verstärkt wurden diese Voids bei Proben mit 40 Mikrometern-Lotkugeln auf Leiterplatten gefunden.

3. Die Flip-Chip-Kontaktierung von Chips mit 40 Mikrometer-Lotkugeln auf Dünnfilmkeramiksubstrate ergab eine Ausbeute von 80 %. An der Verbesserung dieser Ausbeute wird gearbeitet. Der Underfill dieser Aufbauten ist problemlos möglich (100 % Ausbeute). Die underfillten Proben haben 4300 Temperaturwechsel -55 °C / 125 °C ohne Ausfälle überstanden. Auch bei den anderen Zuverlässigkeitstests wurden keine Auffälligkeiten beobachtet.

4. Die Fehlermechanismen für die Ausbeuteverluste wurden identifiziert, was zur Erhöhung der Bestückausbeute bei nachfolgenden Arbeiten beitragen wird.

5. Die Auswahl des Underfillmaterials und die Optimierung des Underfillprozesses sind entscheidend für die Langzeitzuverlässigkeit der extrem miniaturisierten Aufbauten. Es wurde ein Underfill gefunden, der die außerordentlich hohen Anforderungen bei diesen hochminiaturisierten Baugruppen erfüllt.

6. Die werkstoffwissenschaftlichen Ergebnisse beweisen, dass die untersuchten Kontaktsysteme langzeitstabil sind.

7. Für einen Dauerbetrieb bei höheren Temperaturen als 150 °C wird jedoch eine Vergrößerung der Nickelschichtdicken in Abhängigkeit von der geplanten Lebensdauer der Flip-Chip-Aufbauten vorgeschlagen. Dies gilt insbesondere für die Dünnfilmmetallisierung. In jedem Fall sind bei Betriebstemperaturen über 150 °C zusätzliche werkstoffwissenschaftliche Untersuchungen sowie an die jeweilige Anwendung angepasste Zuverlässigkeitstests mit der konkret eingesetzten Lotlegierung ratsam. Weiterführende Hinweise zu den in diesem Projekt eingesetzten Materialsystemen sind in der Literatur zu finden [109], [110], [56], [3], [98].

8. Chips mit 30 Mikrometer-Lotkugeln standen erst kurz vor Redaktionsschluss zur Verfügung. Die ersten Experimente zur Flip-Chip-Kontaktierung und zum Underfill dieser Chips auf Dünnfilmkeramiksubstraten lieferten außerordentlich positive Ergebnisse. Die Zuverlässigkeitsuntersuchungen von Aufbauten mit 30 Mikrometer-Lotkugeln waren bei Redaktionsschluss noch nicht abgeschlossen, die ersten vorläufigen Ergebnisse sind jedoch außerordentlich ermutigend.

4 Erzeugung variabler Stand-Offs zur Reduzierung der Stressbelastung

Die mit der Miniaturisierung einhergehende Reduzierung des Stand-Offs stellt ein erhebliches Problem für die Zuverlässigkeit der Lötstellen dar, da die thermomechanischen Spannungen, hervorgerufen durch die unterschiedlichen thermischen Ausdehnungskoeffizienten von Bauelement und Substrat, weniger gut durch das relativ duktile Lotmaterial ausgeglichen werden können. Im Folgenden wird ein Verfahren beschrieben, mit dem durch das Jetten von flüssigem Lot gezielt der Stand-Off erhöht werden kann. Die hierfür zum Einsatz kommende Prozesskette ist in Bild 87 dargestellt.



Bild 87: Erzeugung variabler Stand-Offs

4.1 Systemtechnik zur Dosierung hochviskoser Medien

Autor: Dr. Keßling, Oliver

Lehrstuhl für Mikrotechnik und Medizingerätetechnik, Technische Universität München

In diesem Kapitel wird die Realisierung des Hochtemperaturdruckkopfes beschrieben. Die einzelnen Komponenten werden hierbei vorgestellt. Für ein besseres Verständnis wird in diesem Kapitel einleitend das realisierte Gesamtsystem vorgestellt. In Bild 88 ist das realisierte Gesamtsystem dargestellt. Die Ausführungen stammen hierbei auszugsweise aus [46].







Es besteht aus dem Hochtemperaturdruckkopf (a), der durch eine Gewindestange in der Höhe verstellbar ist. Der Zylinder mit den Spulen ist in einem Teflonhalter gefasst. Durch Drehen der Höhenverstellung kann die Höhe eingestellt werden. Der Druckkopf befindet sich innerhalb einer Prozessgaskammer (b) aus Plexiglas, so dass der Druckkopf unter Schutzatmosphäre betrieben werden kann. Mittels einer Druck- und Temperaturkontrolleinheit (c) wird die Temperatur des Druckkopfes gesteuert und der zusätzliche Betriebsdruck definiert. Der Leistungsverstärker (d) steuert die Spulen des Druckkopfes an. Der Leistungsverstärker wandelt das spannungsbasierte Ansteuersignal in ein strombasiertes Signal um. Der Control-Signal-Generator (e) erzeugt das Ansteuersignal mit einem Mikrocontroller. Die Amplitude und die Pulsdauer des Signals kann durch dieses Gerät definiert werden. Die Positioniereinheit (f) wird mittels zwei Kugelumlaufspindeln und Gleichstrommotoren mit Inkrementalgebern betrieben. Die Gleichstrommotoren werden durch den Servo-Driver (g) angetrieben. Die Regelung wird durch eine PCI-Achsteuerkarte betrieben. Durch eine Kamera (h) kann die zu bedruckende Platine ausgerichtet werden. Das Ansteuerprogramm wird auf dem Display (i) dargestellt. Das abzufahrende Layout kann zum Beispiel durch NC-Code-Befehle definiert werden. An den beabsichtigen Druckpositionen wird ein Triggersignal ausgegeben, welches an den Control-Signal-Generator geführt wird, um ein Ansteuersignal zu erzeugen. Das wiederum veranlasst einen Tropfenausstoß.

Der eigentliche Druckkopf besteht aus dem Spulenzylinder und der Glaskapillare. Der Spulenzylinder wird durch einen Ausleger aus Polytetrafluorethylen (PTFE) gehalten, welches als thermische Entkopplung dient. Der Spulenzylinder ist aus ferromagnetischem Stahl gefertigt (Abmessungen 10 x 13,5 mm). Der Zylinder dient als Aufnahme für die Spulen und ermöglicht die Ausbreitung des Magnetfeldes. In Bild 89 ist die Höhenverstellung mit Druckkopf dargestellt. Die Kameraeinheit wird in einem eigenen Abschnitt ausführlich beschrieben. Die Platinenhalterung ist mit einer Stahlfeder versehen, so dass die Platine während des Bedruckens fixiert ist. Die Halterung wird auf dem Positioniersystem mit Schrauben befestigt, so dass eine Anpassung an unterschiedliche Layouts möglich ist. Die Spulendrähte werden durch kleine Teflonschläuche zusätzlich beim Herausführen aus dem Zylinder geschützt. Die Kontaktierung der Drähte findet innenliegend im Teflonausleger statt. Für die Temperaturmessung wird ein Thermoelement verwendet, welches in einer Bohrung des Zylinders verankert ist. Zur Isolierung der Spulen an den Stirnflächen werden Glasfasermatten verwendet. Die Höhenverstellung des Druckkopfes ist anhand einer geführten Spindel realisiert. Durch Drehen des Rohres kann die Höhe eingestellt werden.



Bild 89: Der Druckkopf bestehend aus Spulenzylinder und Glaskapillare wird durch einen Teflonausleger gehalten. Der Ausleger wiederum ist an einer geführten Höhenverstellung fixiert, so dass die Höhe des Druckkopfes über dem Substrat eingestellt werden kann. Auf der Platine liegt eine 1-Cent Münze. Im Hintergrund ist die Kamera zu sehen.

Um den Druckkopf bei Temperaturen über 260 °C zu betreiben, muss der Druckkopfhalter aus Teflon durch ein anderes Material ersetzt werden. Hier würde sich zum Beispiel eine Keramik anbieten. Es gibt spezielle keramische Materialien, welche durch Zerspanung bearbeitet werden können. Beispielsweise kann der Werkstoff Vitronit® verwendet werden.

In Tabelle 33 sind die maximalen Betriebstemperaturen der einzelnen Materialien zusammengefasst. Eine Einsatztemperatur von bis zu 450 °C ist somit möglich. Eine weitere Temperaturerhöhung wäre durch die Verwendung von Glaskapillaren aus Quarzglas und angepasste Spulen denkbar. Die Temperatur an der Spule muss natürlich höher sein als die Temperatur des Stahlzylinders, an dem die Temperatur gemessen wird. So sind die unterschiedlichen Temperaturwerte der Spule des Herstellers und des Einsatzes im Druckkopf zu erklären.

Komponente	maximale Betriebstemperatur	
Spulen	800 °C Draht, Experiment: 470 °C	
Glaskapillare aus DURAN®-Glas	500 °C [46]	
Flammen-geschmolzenes Quarzglas	1110° C [35]	
Stahl	ca. 1500 °C [25]	
Druckkopfhalter PTFE (Teflon)	260 °C [25]	
Druckkopfhalter aus Vitronit (Keramik)	1000 °C [125]	

Tabelle 33: Temperaturfestigkeit der eingesetzten Druckkopfkomponenten.

Ein weiteres Problem bei höheren Temperaturen stellt die Veränderung der magnetischen Eigenschaften von Eisen bei einem Hochtemperatureinsatz dar. Eisen wird oberhalb des Curie-Temperatur von 770 °C [5] paramagnetisch. Zum Erreichen von höheren Temperaturen können hochtemperaturtaugliche Magnetmaterialien wie zum Beispiel Vacoflux 50 (50 % CoFe), mit einer Curie-Temperatur von 950 °C verwendet werden.

Hochtemperaturfeste Spulen

Die Spulen für den elektromagnetischen Druckkopf müssen hohen Anforderungen genügen. Es muss gewährleistet sein, dass die Spulen die hohen Betriebstemperaturen aushalten und dass das Röhrchen durch die Spulen gesteckt werden kann. Herkömmliche Spulen werden mit einem Lack isoliert und sind nicht temperaturbeständig.

Die Spulen werden mit einem Stahlzylinder gefasst. Dieser Zylinder dient gleichzeitig für die Ausbreitung des magnetischen Feldes. Die Spulen müssen in dem Zylinder fixiert werden.

Im Folgenden werden die Anforderungen an die Spulen zusammengefasst:

- Hochtemperaturtauglichkeit: Die Einsatztemperatur des Druckkopfes liegt bei 250 °C.
- Luftspulen: In der Mitte der Spulen befindet sich das Düsenröhrchen, deshalb wird hier ein Hohlraum benötigt.
- kleine Abmessungen: Die Glaskapillare hat einen Außendurchmesser von 2,6 mm.
- hohe Windungszahl: Je größer die Windungszahl bei gleichem Stromfluss, desto größer das Magnetfeld (B = μ₀μ_rnI/l). Für eine möglichst große erzielbare Beschleunigung wird ein möglichst großes Magnetfeld benötigt.

Die oben genannten Anforderungen können folgendermaßen erreicht werden:

- Die Drähte werden durch einen keramischen Überzug isoliert.
- Spulendraht mit Durchmesser 0,1 mm.
- Herstellung der Spulen nach den gestellten geometrischen Anforderungen.

Durch die Verwendung von Silberdraht können höhere Temperaturen erreicht werden als bei der Verwendung von Aluminiumdraht. Silber hat einen Schmelzpunkt bei 961,78 °C. Aluminium schmilzt hingegen schon bei 660,32 °C.



Bild 90: Luftspule der Firma Sibatron AG und Spulenzylinder aus Stahl. Die Spule hat 300 Windungen und ist aus einem Silberdraht mit Durchmesser von 0,1 mm hergestellt. Die Drähte wurden mit Keramikoxid isoliert und vergossen.

Der Widerstand eines Drahtes berechnet sich nach [52] zu:

$$R = \rho \frac{l}{A},$$

wobei ρ der spezifische Widerstand, *l* die Länge des Drahtes und *A* die Querschnittsfläche sind. Der spezifische Widerstand von Silber wird mit 0,016 Ω mm²/m angegeben. Bei Aluminium ergibt sich ein entsprechender Wert von 0,027 Ω mm²/m. Wird nun der Widerstand einer Spule berechnet so erhält man bei 300 Windungen mit einem durchschnittlichen Kreisradius von 2,5 mm einen Widerstandswert von 9,6 Ω . Für Aluminiumspulen ergibt sich bei gleicher Induktivität 33 Ω . Bei Verwendung von Spulen aus Aluminium werden entsprechend höhere Spannungen benötigt, um das gleiche Magnetfeld zu erzeugen.

Die Spulen wurden mit Hilfe einer Impedanzmessung charakterisiert, welchen in den folgenden Diagrammen dargestellt ist. Zunächst soll aber die reale Spule mit einem Ersatzschaltbild beschrieben werden. Die reale Spule kann mittels eines Widerstandes, eines Kondensators und einer idealen Induktivität modelliert werden. Es ergibt sich das folgende Ersatzschaltbild, welches in Bild 91 dargestellt ist.



Bild 91: Ersatzschaltbild für eine reale Spule bestehend aus parasitärem Kondensator, parasitärem Widerstand und idealer Induktivität.

Die Impedanz kann in komplexer Form wie folgt berechnet werden:

$$Z = \frac{R + i\omega \cdot L}{1 + i\omega \cdot C \cdot R - \omega^2 \cdot C \cdot L}$$

Berechnet man den Realteil und Imaginärteil der Impedanz und trägt diese auf, so erhält man entsprechende Graphen wie am Impedanzmessplatz gemessen. Der starke Abfall nach der Resonanz entsteht durch die Leitung bei hohen Frequenzen durch den Kondensator.

In Bild 92 ist Widerstandsmessung der Spulen dargestellt. Die Spulen haben einen Widerstand von 9,7 Ω . Dieser Widerstand bleibt über ein breites Frequenzband konstant. Im Resonanzfall bei ca. 6 MHz findet eine deutliche Überhöhung des Widerstandswertes statt.

In Bild 93 ist die Induktivität der Spulen aufgetragen. Die Induktivität der Spulen liegt bei 210 μ H. Im Resonanzfall ergibt sich ein Wert von 650 μ H. Die Resonanzfrequenz von 6 MHz kann durch die Messung bestätigt werden.



Bild 92: Widerstand der Spulen. Eingangs haben die Spulen einen Widerstand von 9,7 Ohm. Bei ca. 6 MHz befindet sich die Spule in Resonanz. Ein sicherer Betrieb der Spule bis ca. 2 MHz lässt sich hieraus bestätigen.



Bild 93: Impedanzmessung der Spulen. Bei kleinen Frequenzen haben die Spulen eine Induktivität von 210 μH. Auch hier ist der Resonanzfall bei ca. 6 MHz ersichtlich.

Spulengehäuse

Die Spulen müssen in einem geeigneten Gehäuse fixiert werden. Damit zusätzlich das Magnetfeld der Spulen verstärk wird, wird ein weichmagnetisches Material verwendet. Es gibt Stähle mit weichmagnetischen und hartmagnetischen Eigenschaften. Entscheidend für die magnetischen Eigenschaften ist die Gefügestruktur des Stahls. Weichmagnetische Werkstoffe haben eine kleine Koerzitivfeldstärke, das heißt sie haben eine schmalere Hystereseschleife im Vergleich zu hartmagnetischen Materialien. Bei einer Koerzitivfeldstärke unter 10 A/cm spricht man von weichmagnetischen Materialien, darüber von hartmagnetischen Materialien [10].

Die Spulen werden in den Zylinder eingelegt. Die Deckel des Zylinders werden mittels eines Außengewindes verschlossen. Zusätzlich gibt es eine Passung für die Zentrierung der Deckel. Für eine Isolierung der Spulen von den Auflageflächen dienen Glasfasermatten. Der Zylinder hat mit aufgeschraubtem Deckel eine Länge von 13,5 mm und einen Durchmesser von 11 mm. Einer Kolbenlänge von 10,9 mm steht eine innere Zylinderlänge von 10,5 mm gegenüber, das heißt der Kolben überlappt sich mit der Zylinderfläche auf jeder Seite um 0,2 mm. Die Deckelkappen haben jeweils eine Dicke von 1,5 mm. In der Mitte des Zylinders befindet sich eine Trennfläche zwischen den beiden Spulen mit einer Dicke von 1,5 mm.

Kolben

Zur Herstellung der Kolben wurden zwei verschiedene Herstellungsverfahren erprobt. Bei der ersten Variante wurden die Kolben mittels einer Miniaturdrehbank gedreht. Diese Variante hat den Vorteil, dass keine speziellen Materialformen benötigt werden. Der Nachteil ist allerdings, dass jeder Kolben einzeln gedreht werden muss.

Bei der zweiten Variante werden die Kolben aus einem Federdraht hergestellt. Der Draht hat hierbei bereits den gewünschten Durchmesser. Der Federdraht wird auf die entsprechende Länge geschnitten und anschließend an der Mikrodrehbank angefast.

Tabelle 34: Relative Permeabilität verschiedener Materialien und entsprechende Curie-Temperaturen (Quelle: [5]).

Material	Relative Permeabilität	Curie-Temp.
Eisen	100 - 5000	770 °C
Nickel	100 - 600	358 °C
Kobalt	80 - 200	1131 °C
Permalloy	25000	k. A.

Der Kolben muss aus einem ferromagnetischen Material hergestellt werden, so dass er im Magnetfeld der Spulen abgelenkt werden kann. Prinzipiell kommen somit Eisen, Nickel und Kobalt als mögliche Materialien in Frage. Damit keine permanente Magnetisierung auftritt, sollten keine hartmagnetischen Materialien verwendet werden, da diese im Magnetfeld permanent magnetisiert werden könnten. Ferromagnetische Werkstoffe weisen eine hohe Permeabilität auf. Die Permeabilitäten werden gemäß Tabelle 34 angegeben:

Spezielle Materialien wie Permalloy erreichen eine Permeabilität bis zu 25.000 bei 0,002 T. Ein weiterer wichtiger Parameter ist die Curie-Temperatur der Materialien, da oberhalb dieser Temperatur die ferromagnetischen Eigenschaften verschwinden. Der Kolben wird in einem weiteren Bearbeitungsschritt beschichtet, so dass eine gute Benetzung des Lötzinns gewährleistet ist. Ein fertiger Kolben ist in Bild 94 dargestellt.



Bild 94: Vergoldeter Stahlkolben. Der Kolben wird aus Federstahldraht hergestellt und auf Länge geschnitten. Die Enden werden mit einer Miniaturdrehbank angefast. Zum Größenvergleich ist eine Stiftspitze dargestellt.

Für eine bessere Benetzung werden die Kolben mit Gold oder Palladium beschichtet. Bei der Beschichtung ist eine hohe Beständigkeit gegenüber der Lötzinnschmelze wichtig. Da sich Gold recht schnell in der Lötzinnschmelze auflöst, muss unter der Goldschicht eine weitere Schicht vorhanden sein.

Es wurden Experimente mit Gold beziehungsweise Palladium beschichteten Kolben durchgeführt. Eine Verzinnung mittels Zinnsulfat konnte nicht durch ein einfaches Eintauchen in ein Bad durchgeführt werden und wurde nicht weiter verfolgt.

Die erste Charge der mit Palladium beschichteten Kolben wurde mit einer Haftvermittlungsschicht aus Nickel versehen. In einer weiteren Charge wurden die Kolben mit einer Haftvermitt-



lungsschicht aus Gold versehen. In einer dritten Charge wurde eine Trommelbeschichtung mit Platin vorgenommen.

Es gibt Untersuchungen über das Ablösen unterschiedlicher Materialien durch Lötzinnlegierungen. Ein Überblick über die Materialien und die Ablösegeschwindigkeit ist in Tabelle 35 aufgelistet.

Bei der Flip-Chip-Kontaktierung auf Platin-Stud-Bumps wurde beobachtet, dass sich die Verbindung PtSn₄ ausbildet. Hier war ein Schichtwachstum von 1 μ m/10 h bei 150 °C zu beobachten [51].

Metallisierung	bei 215 °C in [µm/s]	bei 250 °C in [µm/s]
Gold (Au)	1,7	5,25
Silber (Ag)	0,75	1,6
Kupfer (Cu)	0,075	0,15
Palladium (Pd)	0,025	0,075
Nickel (Ni), Platin (Pt)	<0,01	0,01

Tabelle 35: Ablegierung von benetzbaren Metallisierungen (Quelle: [114]).

Nickel wird häufig als Barriere verwendet, damit durch das Lötzinn nicht die Metallisierung aufgelöst wird [72]. Eisen wird ebenfalls von der Lötzinnlegierung ablegiert und es kann sich Fe₂Sn ausbilden.

Aus Tabelle 35 ergibt sich, dass Nickel und Platin am besten geeignet sind. Bei den Kolben mit Palladium Beschichtung mit Nickelhaftschicht konnten längere Einsatzzeiten der Kolben beobachtet werden.

Zufuhr des Lotes

Es gibt zwei Ansätze, das Lötzinn dem Druckkopf zuzuführen. In einer ersten Variante wird direkt ein Lötdraht dem Druckkopf zugeführt. Dies hat den Vorteil, dass ein normaler Lötdraht zum Betrieb des Druckkopfes verwendet werden kann.

Eine weitere Möglichkeit besteht darin, einzelne Lotkugeln in das Düsenröhrchen zu geben. Somit kann eine präzise Dosierung des Lotes vorgenommen werden.

In diesem Zusammenhang muss die Reinheit der jeweiligen Lote untersucht werden. Bei Verwendung von Lotdraht besteht die Gefahr, dass Verunreinigungen, zum Beispiel Fette, die beim Drahtziehen benutzt werden, sich im Düsenröhrchen absetzten und so die Funktionsweise des Systems gefährden.

Die Zufuhr des Lötzinndrahtes kann mittels eines Schrittmotors automatisiert werden. Der Schrittmotor kann nach einer definierten Anzahl ausgestoßener Tropfen den Draht um einen Schritt weiter in das Röhrchen schieben.

In Bild 95 sind zwei Varianten dargestellt. Die Aufbauten sind so realisiert, dass eine gleichzeitige Zufuhr von Prozessgasen möglich ist.



Bild 95: Zufuhr von Lötzinn in den Druckkopf: a) Lötzinnzufuhr von Lotkugeln. Die Lotkugeln werden hier durch einen Drehmechanismus einzeln in den Druckkopf gefördert, b) Zuführung von Lötzinndraht.

Des Weiteren ist es denkbar, dass einzeln gefüllte Röhrchen zur Verfügung gestellt werden. Dies würde das System vereinfachen, da eine Zuführung des Lotes nicht notwendig ist. Außerdem hat diese Lösung den Vorteil, dass das System nicht gereinigt werden muss und keine Gefahr der Verstopfung besteht.



Prozessgaskammer

Da Lötzinn an Luft sehr schnell eine Oxidschicht bildet, werden in der Elektronikproduktion Prozessgase verwendet. Im Folgenden wird eine kurze Aufstellung möglicher Prozessgase gegeben:

- Argon
- Stickstoff
- Formiergas

Da es sich bei Argon und Stickstoff um inerte Gase handelt, sind diese bei der Verwendung für den Druckprozess unkritisch. Formiergas hat bis zu 20 % Wasserstoffanteil und ist deshalb hochentzündlich. Es ist leichter als Luft und kann sich im Deckenbereich ansammeln.

Um den Druckkopf mit unterschiedlichen Prozessgasen betreiben zu können, wurde eine den Druckkopf umgebende Prozessgaskammer aus Plexiglas aufgebaut. Weiterhin wird durch die Plexiglaskammer erreicht, dass externe Einflüsse auf den Druckprozess, wie zum Beispiel ein Luftzug vermieden werden.

4.1.1 Ansteuerkomponenten für den Hochtemperaturdruckkopf

In diesem Kapitel werden die entwickelten und aufgebauten Ansteuerkomponenten für den Hochtemperaturdruckkopf eingehender beschrieben. Es wird zuerst auf den Spannungs-Stromwandler eingegangen, der den Stromfluss durch die Spulen entsprechend dem vorgegebenen Ansteuersignal regelt. Im nächsten Abschnitt wird auf die Signalerzeugung mittels Mikrocontroller eingegangen. Am Schluss des Kapitels wird dann auf die Druck- und Temperaturregelung eingegangen.

Spannungs-Strom-Wandler mit Leistungsverstärker

Die Ansteuerung der Spulen erfolgt stromgesteuert, damit das Signal nicht durch Selbstinduktion verfälscht wird. Da die Signalform als Spannungssignal vorliegt, müssen die Spannungen zunächst in Ströme umgewandelt werden.

Der Verstärker besteht aus einem Spannungs-Strom-Wandler, welcher mittels eines Leistungsoperationsverstärkers aufgebaut ist. Der Verstärker liefert eine Spannung zwischen - 24 V und 48 V, um den entsprechenden Strom einzukoppeln. In einem Rückkopplungspfad ist ein Tiefpassfilter integriert, um Überschwingungen zu dämpfen. Der Schaltplan ist in Bild 96 dargestellt. Als Operationsverstärker kommt der OPA541 zum Einsatz, welcher einen maximalen Ausgangsstrom von 5 A liefert.

Die Umwandlung der Spannung in einen Strom, ohne Berücksichtigung der dynamischen Rückkopplung wird mit der folgenden Gleichung beschrieben:

$$I = U_{ein} \frac{R_2}{R_1 \cdot R_M}$$

Durch die Widerstandswerte R_1 und R_2 kann der Verstärkungsfaktor definiert werden. Der Messwiderstand R_M sollte möglichst niedrig gewählt werden, damit nur wenig Leitung an diesem Widerstand verloren geht. Es wurden die folgenden Werte gewählt: $R_M = 2,2 \Omega$, $C_c = 15 \text{ nF}$ und $R_c = 180 \text{ k}\Omega$, $R_1 = 22 \text{ k}\Omega$ und $R_2 = 4,7 \text{ k}\Omega$. Mit diesen Werten kann der Verstärkungsfaktor k bestimmt werden. Es ergibt sich rechnerisch ein Wert von 0,097.



Bild 96: Schaltplan des Leistungsverstärkers für einen Kanal. Mittels des Kompensationspfades (R_c und C_c) werden Überschwinger gedämpft.

Das aufgebaute Gerät wurde getestet und die Funktionsweise anhand von Messungen nachgewiesen. In Bild 97a ist der Spannungsverlauf an der Spule dargestellt. Der gewünschte Stromverlauf an der Spule kann durch Bild 97b bestätigt werden. Der Strom ist hier wie gewünscht direkt proportional zur angelegten Spannung.





Um das Verstärkungsverhältnis zu bestimmen, wurde der Ausgangsstrom für Signale mit verschiedenen Amplituden gemessen. Es wird folgender Verstärkungsfaktor definiert:

 $k = \frac{Ausgangsstrom[A]}{Eingangsspannung[V]}$

Die Messergebnisse sind in Tabelle 36 dargestellt. Kanal 1 und Kanal 2 stimmen wie gewünscht mit einer sehr kleinen Toleranz von 2 mA gut überein.

Tabelle 36: Maximaler Ausgangsstrom in Abhängigkeit des Eingangssignals mit unterschiedlichen Amplituden.

Amplitude	Kanal 1	Kanal 2
2,5 V	214 mA	215 mA
3,5 V	294 mA	295 mA
5 V	419 mA	418 mA
7 V	580 mA	582 mA
10 V	819 mA	819 mA

In Bild 98 ist der Ausgangsstrom gegenüber der Eingangsspannung aufgetragen. Mit Hilfe einer linearen Regression ergibt sich ein Regressionskoeffizient von 0,9913, das heißt es kann auf eine gute Linearität geschlossen werden. Es ergibt sich ein mittlerer Verstärkungsfaktor von:

$$k_{Verst.} = 0,081 \ A/V$$

das heißt eine Spannung von zum Beispiel 9 V wird in einen Stromfluss von 0,73 A gewandelt.



Bild 98: Ausgangsstrom in Abhängigkeit der Eingangsspannung. Es ergibt sich ein Regressionskoeffizient von 0,9913, das heißt die Linearität ist sehr gut.

In den Verstärker ist ein Offsetgenerator integriert, welcher für die Temperaturregelung des Systems benötigt wird. Soll der Druckkopf beheizt werden, so wird zusätzlich zu dem Ansteuersignal ein Offset summiert. Durch die zusätzliche Offsetspannung fließt ein permanenter Heizstrom durch die Spulen. In Bild 99 ist der aufgebaute Verstärker dargestellt. Das Gerät hat Anschlüsse um den zusätzlichen Offset ein- und auszuschalten, sowie die Eingänge für die Ansteuersignale (Koaxial) und die Anschlüsse für die Spulen (Bananenstecker). In einem Display wird der eingestellte Offset angezeigt.





Power-Amp Verison 2.1 mit integriertem Offsetgenerator. Im Vergleich zur Version 1.0 ist links oben der Offsetgenerator hinzugekommen. Mit dem Drehknopf kann der Offset definiert werden und am Display abgelesen werden. Ein zusätzlicher Schalter dient zum manuellen Ein- und Ausschalten des Offsets.



Bild 100: Messung der Temperatur im Düsenröhrchen. Die Temperatur wurde direkt am Stahlkolben gemessen. Die Werte geben die zusätzlich eingestellte Offsetspannung am Leistungsverstärker an. Das Ansteuersignal liefert ebenfalls eine Offsetspannung von 2,6 V [69].

Um nicht auf eine Operationsverstärkerschaltung zurückzugreifen, wurde die Summation des Offsetlevels durch eine entsprechende Verschiebung des Bezugspotenzials realisiert. Das Bezugspotenzial des Ansteuersignals wird einfach um den Offset angehoben. Es wurde untersucht, wie die Temperatur des Druckkopfes von der Offsetspannung abhängt. Die Abhängigkeit ist in Bild 100 dargestellt. Wie man erkennen kann gibt es einen näherungsweise linearen Zusammenhang.

Die Heizleistung kann mit folgendem Zusammenhang berechnet werden:

$$P_{el} = \frac{U^2}{R(T)}$$

wobei der Widertand näherungsweise linear von der Temperatur abhängt. Somit kann der obige Verlauf erklärt werden. Ist das System aufgeheizt, so kann die folgende Leistungsbilanz aufgestellt werden:

$$P_{el} = P_{Leitung} + P_{Strahlung}$$

wobei die einzelnen Anteile folgendermaßen berechnet werden:

$$P_{Leitung} = \frac{\lambda \cdot A \cdot \Delta T}{l},$$

wobei ΔT die Temperaturdifferenz, λ die Wärmeleitfähigkeit, A die Querschnittfläche und I die Länge des Wärmeleitungskörpers ausdrücken. Durch das Stefan-Boltzmannsche-Gesetz erhält man den folgenden Ausdruck für die abgestrahlte Leistung:

$$P_{Strahlung} = \boldsymbol{\sigma} \cdot \boldsymbol{\varepsilon} \cdot \boldsymbol{A} \cdot \boldsymbol{T}^4$$

wobei σ die Stefan-Boltzmannkonstante bezeichnet und ϵ der Emissionsgrad der strahlenden Fläche ist. Unter Vernachlässigung der Strahlungsleistung kann die folgende Gleichung aufgestellt werden:

$$\frac{U^2}{k \cdot T} = \frac{\lambda \cdot A}{l} \cdot T \to U^2 = \frac{k \cdot \lambda \cdot A}{l} \cdot T^2$$

wobei für den Widerstand $k \cdot T$ angenommen wurde. Aus dieser Gleichung folgt, dass unter Vernachlässigung der Strahlungsleistung die Temperatur proportional zur Spannung steigt, was durch die obige Messung bestätigt wird.

Erzeugung der Ansteuersequenz mittels Mikrocontroller

Für ein erstes Erproben des Druckkopfes wurde die Ansteuersequenz mittels zweier Funktionsgeneratoren erzeugt. Für eine technologische Integration des Drucksystems wurde eine Signalerzeugung mittels Mikrocontroller aufgebaut.

Der Mikrocontroller erzeugt die Ansteuersequenz durch Pulsweitenmodulation (PWM), wodurch die Signalamplitude eingestellt werden kann. Durch einen anschließenden Tiefpass wird das Signal geglättet. Wichtig ist, dass die Ansteuereinheit triggerbar ist, das heißt, dass die Ansteuer-

sequenz zu einem gewünschten Zeitpunkt abgerufen werden kann. Damit eine Amplitude von 10 V erreicht werden kann wird das Signal um den Faktor Zwei verstärkt. In Bild 101 ist das Blockdiagramm zur Funktionsweise der Ansteuersignalerzeugung dargestellt.

Die Eingabe der Signalparameter erfolgt über fünf Eingabetaster, welche hardwaremäßig entprellt sind. Zur Darstellung der Ansteuerparameter dient ein vierzeiliges LCD-Display. Um ein möglichst gutes Signal zu erhalten, wurden verschiedene Tiefpassfilter aufgebaut und getestet. Das verwendete Filter ist ein Tschebyscheff-Filter 4. Ordnung. Das Filter wird mittels einer Verschaltung von zwei Operationsverstärkern realisiert.



Bild 101: Blockdiagramm der mikrokontrollerbasierten Ansteuersignalerzeugung. Das Signal wird mittels einer Pulsweitenmodulation (PWM) erzeugt. Danach durchläuft es einen Tiefpass, so dass ein analoges Signal erhalten wird. Damit ein Signalpegel von 0..10 V möglich ist, findet eine anschließende Verstärkung um den Faktor 2 statt. Die Definition des Signals kann am Gerät mittels Eingabetaste und Display vorgenommen werden.

In Bild 102 ist der Signalverlauf mit den einstellbaren Parametern dargestellt. Durch die Ansteuereinheit können die Amplitude und die Signallänge sowie der Offset eingestellt werden. Mit der Ansteuereinheit werden für beide Spulen getrennte Signale erzeugt. Die Ansteuersequenz ist so definiert, dass nach der aktiven Phase von Kanal 2 sich die aktive Phase von Kanal 1 anschließt. Die Gesamtlänge der Ansteuerung berechnet sich also aus der Summe der beiden Signallängen.



Bild 102: Definition der Parameter des Ansteuersignals zur Erzeugung mittels Mikrocontroller. Die Amplitude und die Signallänge der beiden Kanäle werden getrennt voneinander definiert. Zusätzlich wird der Offsetlevel definiert.

Als Mikrocontroller wurde ein ATMEL ATMEGA 2560 verwendet. Die Entprellung der Taster wurde hardwaremäßig realisiert. Das Display wird mittels einer parallelen Datenübertragung angesprochen.

In einem weiteren Schritt wurde die Definition des Ansteuersignals durch das zentrale Ansteuerprogramm realisiert. Hierfür werden die notwendigen Daten mit einer seriellen Schnittstelle übertragen, wie es in Bild 103 dargestellt wird.



Bild 103: Eingabe der Signalparameter durch Ansteuersoftware über serielle Schnittstelle (RS232). Der Pegel wird durch den MAX 232 gewandelt, so dass der Mikrocontroller die Signale verarbeiten kann.
Durch eine solche "Fernsteuerung" des Signalgenerators können sehr effiziente Parameterstudien durchgeführt werden, indem automatisch nach Drucken von 10 Lotballs das Ansteuersignal variiert wird. Nach dem Drucken kann dann durch eine optische Inspektion der optimale Parametersatz gefunden werden.

In Bild 104 ist das fertige Gerät abgebildet. Auf dem Display werden die Signalparameter angezeigt. Durch die Taster kann mittels einer Menüführung das Signal definiert werden. Durch zwei Koaxialanschlüsse werden die Signale mit dem Leistungsverstärker gekoppelt. Ein weiterer Koaxialanschluss dient für die Triggerung des Druckkopfes. Die Ansteuereinheit bietet zusätzlich die Möglichkeit, den Druckkopf intern zu triggern, das heißt durch Knopfdruck den Druckkopf bei einer definierten Frequenz zu betreiben.



Bild 104: Mittels des Control-Signal-Generators können die Ansteuersignale für den Druckkopf erzeugt werden. Ein einkommendes Triggersignal definiert den Startpunkt des Signals. Mit Hilfe einer Menüführung kann das Signal durch Amplitude, Offset und Pulsdauer definiert werden. Eine Fernsteuerung des Gerätes über die serielle Schnittstelle ist ebenfalls möglich.

Zur Bestätigung der Funktionsweise der Ansteuerelektronik wurden Messungen durchgeführt, welche in Bild 105 gezeigt werden. Die Ansteuersequenz ist mit Überschwingern behaftet, welche durch die PWM-Signalerzeugung kommen. Eine stärkere Tiefpassfilterung würde die Anstiegsflanke schwächen, eine Überschwingung hingegen ändert das Regelverhalten des Spannungs-Strom-Wandlers nicht, da anfangs mit maximaler Amplitude der Strom eingeregelt wird.

In Bild 105a ist der Spannungsverlauf für die untere Spule des Druckkopfes (Spule 1) dargestellt. Diese Spule wird während des zweiten Teils der Ansteuerung mit einer Spannung versehen. Bei Anlegen dieser Spannung wird mittels des Spannungs-Strom-Wandlers die maximal zur Verfügung stehende Spannung des Wandlers an die Spule angelegt, um den vorgegebenen Strom

einzuregeln. In Bild 105b ist der Stromfluss an der Spule dargestellt. Die Ansteuersequenz hat hier nur eine sehr kleine Welligkeit. Der Stromfluss berechnet sich aus dem Spannungsabfall über einem Messwiderstand. Es wurde eine Messwiderstand mit 9,4 Ω gewählt. Bei einer gemessenen Spannung am Messwiderstand von 4,5 V ergibt sich ein Stromfluss von 0,48 A.



Bild 105: Durch Mikrocontroller erzeugtes Ansteuersignal von Spule 1 und Spule 2 (2 V/Div.):
a) Spannung an der Spule (grün, 1 V/Div.), b) Strom an der Spule (grün, Widerstand mit 9,4 Ω, 200 mV/Div., 1/10 Differential Probe). Das Signal wird mittels Tiefpassfilterung aus einem PWM-Signal gewonnen.

Druck- und Temperaturregelung

Die Druck- und Temperaturregelung ermöglicht die Einstellung der Temperatur des Druckkopfes und die Definition eines zusätzlichen Überdrucks an der Glaskapillare.

Mit Hilfe eines Druckminderers kann ein zusätzlicher statischer Prozessdruck eingestellt werden. Der Druck wird durch ein Feindruckmessgerät gemessen und angezeigt.

Die Temperatursteuerung des Druckkopfes wird anhand des An- und Ausschaltens eines Offsets umgesetzt. Die Temperatur wird hierbei mit einem Thermoelement gemessen. Das Thermoelement misst die Spannung direkt im Spulenzylinder. In Bild 106 ist das aufgebaute Gerät für die Druck- und Temperaturregelung abgebildet.



Bild 106: Druck- und Temperaturkontrolleinheit. Mittels einer Stellschraube (a) kann der Druck eingestellt werden und durch das Feindruckmessgerät (b) kontrolliert werden. Die Temperatur wird anhand des Temperaturreglers der Firma Enda eingestellt.

4.1.2 Positionierung und Ansteuerprogramm mit Benutzeroberfläche

In diesem Kapitel werden die einzelnen Komponenten, welche für die Positionierung des Substrates notwendig sind, beschrieben. Eine genaue Positionierung des Substrats relativ zum Druckkopf ist für ein gutes Druckergebnis sehr wichtig. Für eine Ausrichtung des Substrats wird eine Kameraeinheit verwendet, mit welcher Referenzpunkte erfasst werden können. Durch ein zentrales Ansteuerprogramm ist es möglich das ganze System zu bedienen. Weiterhin können mittels der Kameraeinheit bedruckte Felder fotografiert und archiviert werden.

Positioniereinheit

Für die Positionierung des Substrates unter dem Druckkopf wird ein x-y-Tisch mit vorgespannten Kugelumlaufspindeln und Gleichstromgetriebemotoren der Firma Faulhaber mit magnetischen Inkrementalgebern verwendet. Mit dem verwendeten System wird eine Positioniergenauigkeit von 5 µm erreicht. Für die Reglung der Motoren wird ein Motion-Controller verwendet, welcher sich auf einer PCI-Steckkarte befindet. Die Ansteuerkarte enthält einen 64-Bit-RISC-Prozessor. Es können bis zu drei Achsen geregelt werden und es stehen zusätzliche Ein- und Ausgänge zur Verfügung.

Für eine einfache Anwendung steht ein Standardprogramm für die Programmierung des Layouts mittels eines NC-Codes zur Verfügung. Für die Ansteuerung der Motoren werden Motorcontroller der Firma Faulhaber verwendet, die die Regelspannung in ein entsprechendes Motorsignal umwandeln. Für eine Referenzfahrt steht für jede Achse ein Endschalter zur Verfügung.

In Bild 107 ist das Positioniersystem einschließlich aufgebautem Servo-Driver und PC dargestellt. In den PC ist die Ansteuerkarte integriert. Der Servo-Driver beinhaltet die Motortreiber und eine Umverdrahtung zwischen Positioniereinheit und den Motortreibern sowie der Ansteuerkarte. Für die einfache Bedienung des Programms wird ein Touchscreen verwendet.



Bild 107: Positioniereinheit bestehend aus einem kompakten PC der Firma Shuttle mit Touchscreen und Servo-Driver, der für die Motoransteuerung zuständig ist. Im aufgebauten Servo-Driver befindet sich die Verdrahtung von der Positioniereinheit zur PCI-Motion-Controller-Steckkarte des PCs.

Platinenhalterung

Zum Einspannen der Platine wird eine Halterung benötigt. Wichtig hierbei ist, dass die Platine in der Halterung fixiert ist. Es wird entsprechend den Außenmaßen der Platine eine Vertiefung gefräst. Die Fixierung der Platine wird mittels Blattfedern vorgenommen. Die Halterung wurde aus Aluminium hergestellt und auf der Positioniereinheit verschraubt.

Substratbeheizung

Es wird eine Substratbeheizung benötigt, um Druckversuche auf ein temperiertes Substrat durchführen zu können. Die Substratbeheizung wird mittels einer Heizwendel (220 V) realisiert. Damit sich die Positioniereinheit nicht mit erwärmt, dienen Teflonabstandshalter als thermische Entkopplung. Die Regelung der Heizung wird durch einen Standardregler der Firma Enda durchgeführt. In Bild 108 ist die aufgebaute Platinenbeheizung abgebildet.





Bild 108: Mittels einer Heizwendel wird die Substrathalterung beheizt. Die thermische Entkopplung wird durch Teflonabstandshalter gewährleistet.

Ein Test der Substratbeheizung ergab, dass eine Temperierung der Platinenhalterung auf 200 °C möglich ist. Durch die Teflonstelzen findet eine ausreichend gute Entkopplung statt, so dass sich die Positioniereinheit nicht aufheizt.

Ansteuerprogramm mit Benutzeroberfläche

Es wurde ein Programm entwickelt, welches die Ansteuerung der Positioniereinheit, die Ausrichtung mittels Kamera und die Kommunikation mit dem Control-Signal-Generator übernimmt. Das Ansteuerprogramm dient als zentrale Steuerung des Druckkopfsystems. In Bild 109 ist die Kommunikation mit den einzelnen Komponenten dargestellt.



Bild 109: Kommunikation des Ansteuerprogramms mit den einzelnen Komponenten.

Ansteuerung der Positioniereinheit

Die Regelung der Positioniereinheit findet durch einen Motion-Controller statt, der auf einer PCI-Steckkarte implementiert ist. Für die Ansteuerung werden Befehlssätze für alle gängigen Hochsprachen zur Verfügung gestellt. Durch das Ansteuerprogramm kann eine Referenzfahrt vorgenommen werden, der Tisch manuell verfahren und eingelesene Layouts mit entsprechender Triggerung des Druckkopfes abgefahren werden.

Ausrichtung mittels Kameraeinheit

Die zu bedruckende Platine muss bezüglich des Druckkopfs ausgerichtet werden. Hierfür wird eine Kameraeinheit verwendet.

Zur Übersicht über die verwendeten Koordinatensysteme dient Bild 110. Die Position des Druckkopfes wird im Tischkoordinatensystem angegeben. Als erstes wird der Vektor zwischen Druckkopf und Kamera bestimmt. Hierfür wird ein Lotball auf ein Testpad gedruckt, welcher in die Kamera gefahren wird. Der Lotball wird mittels eines Fadenkreuzes angefahren und entsprechend ausgerichtet. Das Fadenkreuz befindet sich im Zentrum des Kamerabildes. Eine etwaige Verdrehung der Kamera hat also keinen Einfluss. Aus dieser Position, welche sich auf das Tischkoordinatensystem bezieht, wird nun der Verschiebungsvektor zwischen Kamera und Druckkopf bestimmt. Aufgrund dieser Kalibrierung können nun die Platinen bezüglich des Druckkopfes ausgerichtet werden.

Für die Ausrichtung einer Platine werden nun zwei Referenzpunkte angefahren. Mittels dieser Koordinaten kann mit Hilfe der trigonometrischen Funktionen die Verdrehung der Platine um den Winkel α bestimmt werden.



Bild 110: Druckkopf- und Kamerakoordinatensystem. Die Verschiebung zwischen den Koordinatensystemen wird durch das Drucken eines Referenzballs erfasst.

Zur Ausrichtung der Platine wird nun folgendermaßen vorgegangen: Es wird einerseits ein Offset und andererseits die Rotation der Platine bestimmt. Zur Bestimmung der Rotation müssen zwei Punkte angefahren werden. Anhand des Winkels kann dann die Verschiebung in x- und y-Richtung nach folgenden Formeln bestimmt werden:

 $x = l \cdot \cos \alpha$

 $y = l \cdot \sin \alpha$

Eine kleine Beispielrechnung soll die Notwendigkeit einer Rotationskompensation verdeutlichen. Bei einer Seitenlänge von 5 mm und einem Winkel von 0,1° ergibt sich eine laterale Abweichung von 8,73 µm. Der Winkelfehler muss also auf jeden Fall betrachtet werden. Als Kamera kommt eine Mikroskop-USB-Kamera mit einer 400-fachen Vergrößerung zum Einsatz. Die Schärfe der Kamera kann manuell eingestellt werden. Eine Beleuchtung findet mit vier Leuchtdioden statt. Die Kamera, dargestellt in Bild 111, wurde direkt neben den Druckkopf montiert, um einen möglichst großen Bereich des Substrates erfassen zu können.



Bild 111: Kamera für die visuelle Inspektion und Ausrichtung der Platine. Die Kamera wurde möglichst nahe zum Druckkopf montiert, um eine möglichst weite Abdeckung der Platine zu gewährleisten.

Mittels der Kameraeinheit können die Bumps zusätzlich vermessen werden. Hierfür muss das Programm kalibriert werden. Dies wird mittels eines bekannten Abstands, zum Beispiel zwischen zwei Pads durchgeführt, so dass das Verhältnis von Pixel zu Länge bekannt ist. Eine Inspektion der gedruckten Bumps auf Unregelmäßigkeiten ist ebenfalls möglich.

In Bild 112 ist die Bedienoberfläche des Ansteuerprogramms abgebildet. Die Bedienoberfläche ist in drei Hauptteile unterteilt. Für die Ansteuerung des x-y-Tisches dient der linke Bereich. Unterhalb des Kamerabildes können die Ansteuerparameter definiert werden, die über die serielle Schnittstelle an den Control-Signal-Generator übertragen werden. Der dritte wichtige Bereich dient der Kalibrierung und Ausrichtung und ist unten rechts angeordnet.

Die Ausrichtung der Platine erfolgt mittels des mittigen Fadenkreuzes. Das Programm kann gleichzeitig für die Vermessung der Bumps verwendet werden. Auf einer Testplatine befinden sich insgesamt neun Felder. Die Felder können einzeln mit den Buttons *A* bis *I* gedruckt werden. Es folgt eine Abfrage über die Anzahl der zu druckenden Bumps und die Verzögerung zwischen dem Drucken der einzelnen Bumps.

Wichtige Initialisierungseinstellungen können in einer INI-Datei hinterlegt werden. Hierzu gehört die Definition der einzelnen Felder auf der Platine, die Position für den Referenzbump und die Referenzpunkte zum Ausrichten der Platine. Damit die STOP-Taste das System möglichst schnell zum Stoppen bringt, wurde das Ansteuerprogramm in mehrere Bearbeitungsstränge (*Threads*) aufgeteilt, welche gleichzeitig abgearbeitet werden.



Bild 112: Programmoberfläche für das Kamerasystem und die Steuerung der Positioniereinheit. Mittels des Programms können die gedruckten Bumps zusätzlich vermessen werden.

In einer weiteren Funktionalität können Informationen über die einzelnen gedruckten Bumps gespeichert werden und bei einer späteren Begutachtung wieder angezeigt werden. Dies ist vor allem bei einer Parametervariation von Vorteil. Somit können gedruckte Felder im Nachhinein

begutachtet werden und es kann festgestellt werden, welche Parameterkombination die besten Resultate liefert.

In Bild 113 sind zwei weitere Programmfenster dargestellt. Es wurde ein Tropfenzähler implementiert. Die Aufgabe des Tropfenzählers ist es das ausgestoßene Volumen zu berechnen um rechtzeitig an eine Nachfüllung zu erinnern. Die Berechnung erfolgt auf Grundlage eines angenommenen Lotkugeldurchmessers. Die Nachfüllmenge kann ebenfalls angegeben werden.

Das Skriptfenster dient dazu Parametervariationen durchzuführen. Es kann hier definiert werden, welcher Parameter geändert werden soll und wie viele Balls mit diesem Parameter gedruckt werden sollen. Der Abstand zwischen den einzelnen Balls kann definiert werden. Die Skripte können abgespeichert und geladen werden, das heißt es können vordefinierte Skripte für Standardversuchsreihen verwendet werden. Des Weiteren ist es möglich ein Skript für den Demobetrieb zu erstellen, um das System zum Beispiel auf einer Messe vorzustellen.



Bild 113: a) Tropfenzähler: Es wird der Tropfendurchmesser und die Nachfüllmenge eingetragen und aus diesen Werten wird die Anzahl der möglichen Tropfen berechnet, b) Skriptfenster: Mittels dieser Funktion können kleine Skripte für eine Parametervariation geschrieben werden.

Durch das Programm ist es weiterhin möglich ein Bild eines bedruckten Feldes aus Einzelbildern zusammenzusetzen. Hierbei wird das Feld abgefahren und automatisch einzelne Bilder aufgenommen, welche zu einem Gesamtbild zusammengesetzt werden. Somit ist es möglich auch größere bedruckte Flächen zu dokumentieren. In Bild 114 ist eine Dokumentation eines bedruckten Feld dargestellt.



Bild 114: Die Darstellung des bedruckten Feldes wurde aus Einzelbildern zusammengesetzt. Auf diese Weise können die bedruckten Felder dokumentiert werden. Das Zusammensetzen des Bildes geschieht automatisch. In der Mitte des Bildes werden die verwendeten Ansteuerparameter dargestellt.

4.2 Aufbau elektronischer Baugruppen mit erhöhtem Stand-Off

Autoren: Dr. Keßling, Oliver¹; Dr. Schüßler, Florian²

¹ Lehrstuhl für Mikrotechnik und Medizingerätetechnik, Technische Universität München

² Lehrstuhl für Fertigungsautomatisierung und Produktionssystematik, FAU Erlangen-Nürnberg

4.2.1 Vermessung der Lotbumps

Die gedruckten Lotbumps sollen unter verschiedenen Aspekten vermessen werden. Als erstes soll die Reproduzierbarkeit betrachtet werden, um festzustellen wie gleichmäßig der Druckkopf arbeitet. Des Weiteren sollen die gedruckten Lotballs in Abhängigkeit des angelegen Ansteuersignals untersucht werden. Die Abhängigkeit von der Düsengröße soll ebenfalls geklärt werden. Die Ergebnisse sind aus [46] entnommen.

Reproduzierbarkeit

Um die Reproduzierbarkeit des Druckkopfes zu untersuchen, wurden Messreihen mit gedruckten Lotbumps durchgeführt. Hierzu wurde das in Bild 116 dargestellte Testlayout verwendet. Als Padoberfläche wird eine chemisch aufgetragene Nickel-Goldschicht verwendet. Ein zusätzlicher Lotstopplack verhindert, dass sich zwischen den Pads Lötzinnreservoirs bilden können. Der Pitch des verwendeten Layouts der ersten Testcharge beträgt 457 µm. Die Bumps, die für den Chip vorgesehen sind sollen einen Durchmesser von 170-190 µm haben. Die dargestellte Platine hat die Abmessungen 50 x 50 mm.

Als Testchip kommt ein Chip mit Daisy-Chain-Kontaktierung der Firma Topline (FC48D6.3E457) mit 48 Kontaktierungspunkten zum Einsatz. Bei der Daisy-Chain handelt es sich um eine Kontaktierung, die zum Ziel hat, den Kontakt aller Kontaktpunkte mit einer Messung bestätigen zu können. Je zwei Kontaktpunkte werden durch den Chip und je zwei durch das Substrat verbunden. Durch diese Kette kann der Gesamtkontaktierungswiderstand gemessen werden.



Bild 115: Prinzip der Daisy-Chain-Kontaktierung.



Bild 116: a) Testlayout, b) Photographie eines einzelnen Feldes des Testlayouts mit gedruckten Lotbumps. Das Lötzinn wurde direkt auf das Substrat gedruckt [44].

Die Bumps wurden mit Hilfe eines Mikroskops optisch vermessen. Bei der Messung wurde der Durchmesser der Bumps bestimmt. Eine wichtige Größe ist hierbei die Standardabweichung vom Mittelwert, da bei großen Standardabweichungen mit Kontaktfehlern zu rechnen ist. Die Ergebnisse einer Messreihe mit Sn63Pb37 sind in Bild 117 dargestellt. Es ergab sich ein mittlerer Bumpdurchmesser von 173,48 μ m mit einer Standardabweichung von 12,17 μ m. Die Höhe der Bumps lag bei 123,08 μ m mit einer Standardabweichung von 13,28 μ m. Die kleinere Höhe der Bumps ist damit zu erklären, dass sich bei einem Aufprall des Lötzinns auf der Platine der Bump aufweitet.



Bild 117: Messung der Durchmesser und der Höhe der gedruckten Lotbumps mit Sn63Pb37 auf dem PCB-Board. Es wurde ein mittlerer Durchmesser von 173,48 μm mit einer Standardabweichung von 12,17 μm gemessen [44].

Aufgrund der RoHS-Richtlinie wurde der Prozess in den folgenden Experimenten auf bleifreies Lötzinn umgestellt. In Bild 118 ist eine Messung mit Zinn-Silber-Kupfer-Lot dargestellt. Die Messung wurde nach dem gleichen Messprinzip wie die obige Messung durchgeführt. Es ergaben sich hier bessere Ergebnisse mit einer Standardabweichung des Durchmessers von 4,81 µm und einer Standardabweichung der Ballhöhe von nur 2,96 µm. In Bild 119 ist eine REM-Aufnahme von zwei Bumps dargestellt.



Bild 118: Messung der Durchmesser und der Höhe der gedruckten Bumps mit Zinn-Silber-Kupfer-Lot. Es ergab sich ein Mittelwert von 124,92 μm im mit einer Standardabweichung von 4,81 μm im Durchmesser. Es ergab sich eine mittlere Höhe von 95,54 μm mit einer Standardabweichung von 2,96 μm [47].



Bild 119: a) REM-Aufnahme mit Lotbumps mit einem Durchmesser von 100 μm. Auf dem Bild erkennt man die Aussparung des Lötstopplacks und die metallisierte Padfläche. Die Pads sind miteinander verbunden, um Daisy-Chain-Messungen durchführen zu können, b) REM-Aufnahme bei der zweiten Testcharge. Der Lötstopplack umfasst hier jeweils zwei Lotbumps [47].

Man erkennt die Padflächen, das Substrat und den Lotstopplack mit ausgesparten Kreisflächen für die Bumps. Die Bumps haben eine leicht geplättete Kugelform, wodurch die oben dargestellten Messungen bestätigt werden. Diese Form kommt dadurch zu Stande, dass der Löttropfen beim Aufprall zusammengestaucht wird und dann aushärtet.



Bild 120: Platinen der zweiten Testcharge mit einem Pitch von 204 μm, a) Detailaufnahme des Layouts, b) gesamtes Feld für Flip-Chip gedruckt.

Um den Pitch zu reduzieren, wurde eine zweite Testcharge verarbeitet. In Bild 119b ist eine REM-Aufnahme dargestellt. Hier haben jeweils zwei Pads eine Öffnung des Lötstopplacks. Der Pitch wurde in diesem Fall im Vergleich zur ersten Charge auf 204 µm reduziert. Hierbei sind Balls mit einem Durchmesser von 135 µm vorgesehen. Das Layout ist für die Kontaktierung des

FC88G5.08C204-DC von Topline vorgesehen. Der zu platzierende Chip hat Bumps mit einem Durchmesser von 135 μ m.

In Bild 120 ist das bedruckte Layout der zweiten Testcharge dargestellt. Die Geometriedaten der zweiten Testcharge wurden in die Ansteuereinheit eingelesen, um entsprechende Felder zu bedrucken.

Die genaue Positionierung der Bumps war durch die Ausrichtung mittels der Kameraeinheit möglich. Die Bumps wurden sehr gleichmäßig gedruckt. Auf die bedruckten Substrate wurden Chips am Lehrstuhl FAPS der Universität Erlangen-Nürnberg platziert.

Die Bumps des zweiten Testlayout wurden ebenfalls vermessen und sind in Bild 121 dargestellt. Es ergibt sich eine sehr gleichmäßige Verteilung. Es handelt sich um sehr kugelförmige Lotbumps, was sich durch die sehr ähnlichen Werte für die Höhe und den Durchmesser bestätigen lässt.



Bild 121: Feld der zweiten Testcharge. Die Standardabweichung der Lotbumpdurchmesser (Mittelwert 150 μm) ist mit 5,89 μm sehr klein. Die Standardabweichung in der Höhe (Mittelwert 130,76 μm) ergibt sich zu 7,61 μm. Zwei Balls mit Zipfel wurden bei der Berechnung geklammert.

4.2.2 Vermessung der Lotsäulen

Die Lotsäulen wurden in der Höhe mit einem optischen Mikroskop vermessen. Eine geringe Standardabweichung der Lotsäulenhöhe ist für die weitere Verarbeitung sehr wichtig. Die Bestückung mit einem Chip kann nur erfolgreich durchgeführt werden, wenn der Chip gleichmäßig auf den Lotsäulen aufliegt. Die Ergebnisse sind aus [46] entnommen.

Es wurden zwei Messreihen durchgeführt. In der ersten Messreihe sind vier Bumps übereinander gedruckt. Hierbei wurde ein bleihaltiges Lötzinn verwendet. Die Ergebnisse sind in Bild 122 dargestellt. Es wurde ein komplettes Feld für einen Flip-Chip mit insgesamt 48 Bumps vermessen. Die mittlere Höhe der Lotsäulen wurde hier mit 369,21 µm gemessen. Es ergab sich eine Standardabweichung von 15,81 µm.



Bild 122: Messung der Höhe der Lotsäulen. Die Standardabweichung beträgt 15,81 μm. Die Höhe der Lotsäulen ist 369,21 μm. Der Bumpdurchmesser liegt bei 200 μm [45].

In Bild 123 sind REM-Aufnahmen von übereinander gedruckten Lotbumps. In Bild 123a wurden zwei Lotbumps übereinander gedruckt. In Bild 123b wurden jeweils vier Bumps übereinander gedruckt.



Bild 123: a) zwei Lotbumps übereinander gedruckt, b) Lotsäulen auf einem Glasträger. Es wurden vier Lotbumps aufeinander gedruckt. Die einzelnen Bumps haben einen Durchmesser von ca. 200 μm.

In einer zweiten Messreihe wurden Lotsäulen mit Zinn-Silber-Kupfer-Lot gedruckt. Die Höhe der Lotsäulen wurde ebenfalls vermessen. Hierbei ergeben sich ähnliche Ergebnisse, welche in Bild 124 dargestellt sind. Es ergab sich eine mittlere Höhe von 199,17 μ m und eine Standardabweichung von 13,51 μ m.



Bild 124: Lotsäulen mit Zinn-Silber-Kupfer-Legierung. Es ergibt sich hier eine Höhe im Mittel von 199,17 µm mit einer Standardabweichung von 13,51 µm. Bei dieser Messreihe wurden zwei Bumps übereinander gedruckt.

4.2.3 Prozesskette für die No-Flow-Underfill-Verarbeitung

Ein Material, welches Flussmittel und Underfill vereint, wurde 1992 von Motorola patentiert [96]. Dies löste die Entwicklung des so genannten No-Flow-Underfills (NFU) aus, welcher ein Verkapselungsmaterial mit einem Flussmittel kombiniert, das auf Basis eines Polymers hergestellt werden kann [40]. Eine Reinigung von Flussmittelrückständen sowie ein nachträgliches Unterfüllen entfallen bei dieser Art der Verarbeitung. Ebenso ist keine abschließend notwendige Aushärtung des Materials zu erstreben. Durch diese Prozessverkürzung ermöglicht der Einsatz von No-Flow-Underfill eine Erhöhung des Durchsatzes mit reduzierten Produktionskosten. Der schematische Prozessablauf ist in der folgenden Abbildung (Bild 125) dargestellt.

Im Gegensatz zur konventionellen Verarbeitung mit nachträglichem Unterfüllen, wird eine kontrollierte Menge No-Flow-Underfill bereits vor der Platzierung des Chips auf das Substrat aufgetragen. Bei der Bestückung wird das Material durch die Bestückungskraft verdrängt und verteilt sich gleichmäßig unter dem Chip. Deshalb wird dieser Prozessschritt auch als "compression-" oder "squeeze-flow" bezeichnet, was von dem erzwungenen Fließverhalten des Underfills durch den eingebrachten Druck abgeleitet ist. Im letzten Verfahrensschritt wird die Verbindung des Chips mit dem Substrat über den Reflowprozess hergestellt, wobei im selben Prozessschritt neben der Ausprägung der Lötstellen eine Aushärtung des Underfills stattfindet. [61][68][48]



Bild 125: Prozessschritte des No-Flow-Underfill-Verfahrens [61][68][143]

Aus der Beschreibung des Prozesses ist ersichtlich, dass die Anforderungen an einen No-Flow-Underfill mit integriertem Flussmittel und vollständiger Aushärtung des Materials nach der Kontaktstellenausprägung als komplex und kritisch einzustufen sind. Einige typische Fehlerbilder sind in Bild 126 beschrieben. Für eine gute Benetzung müssen besondere Flussmittel eingesetzt werden, welche auf Polymeren basieren und möglichst rückstandslos zu verarbeiten sind. Des Weiteren muss ein No-Flow-Underfill eine verzögerte Aushärtung bis zum Überschreiten einer kritischen Temperatur über der Schmelztemperatur des Lotes aufweisen und damit eine niedrige Viskosität bis zur Ausprägung der Lötstellen besitzen. Eine vorzeitig einsetzende Aushärtung des Materials würde in einer erschwerten Benetzung der Kontaktstellen und damit reduzierter Ausbeute resultieren. Für dieses verzögerte Aushärtungsverhalten ist eine Vielzahl an möglichen Katalysatoren untersucht worden [132][133]. Die Anwendung mit bleifreien Legierungen erfordern dabei durch höhere Prozesstemperaturen eine nochmals größere Aushärtungslatenz, um eine gute Kontaktierung zu gewährleisten [142]. Gleichermaßen ist ein vollständiges Aushärten des Underfills nach Ausprägung der Lötstellen erwünscht, um eine zusätzliche Nachhärtung zu vermeiden. Daher muss das Reflowprofil bestmöglich an das Reaktionsverhalten des verwendeten Underfills angepasst werden.

Der Ausprägung von Lufteinschlüssen muss in der Verarbeitung mit No-Flow-Underfill eine erhöhte Beachtung geschenkt werden, da durch die verkürzte Prozesskette zusätzliches Potenzial für Void-Bildung vorhanden ist. Mögliche Ursachen können ein Ausgasen des Underfills bzw. der Feuchtigkeitsgehalt des Substrats sein, sowie Lufteinschlüsse, die während des Bestückungsvorgangs entstehen können. Dies kann zu einer erhöhten Defektrate durch inhomogene Belastungen zwischen Chip und Substrat sowie Delamination des Underfills führen. Insbesondere Voids in der Nähe der Lötverbindungen resultieren in einer ungleichmäßig verteilten Belastung der Kontaktstellen. Eine Trocknung des Substrates sowie eine optimale Kombination von Materialauswahl und Prozessparametern kann jedoch die Ausprägung von Lufteinschlüssen minimieren. [16][16]



Unzureichende Kontaktierung

Lufteinschlüsse



 Zu geringe Flux-Wirkung
 Underfill zwischen Pad und Ball aufgrund von unzureichender Planarität

 Aushärtung des Underfills vor Umschmelzpunkt



Ausgasen von Feuchtigkeit aus Substrat oder aus Lösungsmittel

 Einschlüsse beim Aufsetzen durch Underfillgeometrie, zu hohe Geschwindigkeit oder ungünstige Ballanordnung

Bild 126: Typische Fehlerbilder bei der Verarbeitung von No-Flow-Underfill

Im Gegensatz zu konventionellen Materialien zum kapillaren Unterfüllen besitzen No-Flow-Underfills im Allgemeinen keine Füllstoffe zur Erhöhung der Langzeitstabilität [107]. Bereits kleinste Anteile an Füllstoffen können bei der Bestückung zwischen Kontaktfläche auf dem Substrat und Lothöcker eingeschlossen werden und die optimale Ausprägung der Lötstelle behindern. Die Entwicklung der Nanotechnologie kann hier innovative Materialen mit einem verringerten CTE-Wert durch Füllstoffe im nanoskaligen Bereich bereit stellen. Der dargestellte No-Flow-Underfill-Prozess eliminiert ein nachträglich erforderliches kapillares Unterfüllen und kombiniert dabei Flussmittelbehandlung und Reflowprozess mit gleichzeitiger Aushärtung des Underfill-Materials in einem Prozesschritt. Dennoch besteht die Einschränkung, hochgefüllte Materialien zu verwenden, was zu einer eingeschränkten Langzeitstabilität führen kann. Bei der Integration in eine bestehende Fertigungslinie muss der Auftrag des No-Flow-Underfills vor dem Bestückvorgang berücksichtigt werden. [16][143]

4.2.4 Materialien und Prozesse

Im Folgenden Unterkapitel sind die verwendeten Materialien und Prozess beschrieben. Dies umfasst neben dem No-Flow-Underfill und dessen Verarbeitungsparametern auch das Substratmaterial und die eingesetzten Testschaltungsträger.



No-Flow-Underfill

Für die Verbindungstechnik werden auf Basis eines Anforderungsprofils zwei auf dem Markt kommerziell verfügbare Underfillmaterialien ausgewählt, deren Parameter in Bild 127 gegeben sind. Als Grundvoraussetzung für die Underfiller gilt eine möglichst niedrige Viskosität des Underfills im Temperaturbereich der Flussmittelreaktion, um ein möglichst gleichmäßiges Fließen, und somit eine gute Aktivierung der zu benetzenden Oberflächen, zu ermöglich. Dies trägt ebenfalls dazu bei, dass die sich ausbildenden Lötstellen gut umflossen werden und sich ein gleichmäßiger und ausreichender Meniskus entlang der Chipkanten ausbildet. Generell sind Lufteinschlüsse zu vermeiden, da diese zum einen die Haftfestigkeit der mechanischen Verbindung herabsetzen. Kritisch ist auch das Aufschwimmen der Chips auf dem Underfill einzustufen.

			No-Flow-Underfill		
Anı	orderungen an No-Flow-Underfill	Bezeichnung	NFU A	NFU B	
		Farbe	durchsichtig	durchsichtig	
) Niednies Wielsenidät im Densiels des Elsenwittelsteiningen	Füllstoffanteil	0 %	0%	
	Niedrige viskositat im Bereich der Flussmitteläktivierung	Partikelgröße	-	-	
	Lotpadbenetzung und Meniskusausbildung ohne	Viskosität (25°C)	3100 mPa*s	n/a	
	Lufteinschlüsse	CTE (α_1) [ppm/K]	75	65	
_	Euromsemusse	CTE (α_2) [ppm/K]	190	275	
	Ausreichende Haftung des Chips	$T_{\alpha}[^{\circ}C]$	81	96	
	Kein Aufschwimmen	Aushärtung	Reflowprozess	Reflowprozess	
-		Nachhärtung	5-10 min/165 °C	(nicht notwendig)	

Bild 127: Anforderungsprofil an No-Flow-Underfill-Materialien sowie die beiden eingesetzten Systeme

Die relevanten Parameter der beiden verfügbaren Underfill-Materialien sind in der Tabelle in Bild 125 aufgeführt. Sie unterscheiden sich insbesondere hinsichtlich der thermischen Ausdehnungskoeffizienten und der Glasübergangstemperatur. Beide Werte sind relativ niedrig, da keine Füllstoffe beigemischt sind, um eine elektrische Kontaktierung während des Umschmelzprozesses nicht zu erschweren. Auch in der Verarbeitung sind leichte Unterschiede vorhanden. So muss der No-Flow-Underfill A nach dem Reflowprozess nachgehärtet werden, wohingegen No-Flow-Underfill B rein durch den Reflowprozess aushärtet.

Für die Applikation des No-Flow-Underfills wird zunächst das Volumen bestimmt, welches eine optimale Ausprägung der seitlichen Menisken des Underfills ermöglicht. Zu wenig Underfill bietet durch eine unzureichende Ausprägung des Meniskus keinen ausreichenden Schutz für die unterfüllten Strukturen. Gleichermaßen kann ein zu hohes Volumen ein Aufschwimmen des Flip-Chips verursachen und damit zu einer niedrigen Ausbeute bei der Kontaktierung führen. Dabei lässt sich das Volumen mit den Abmessungen des Flip-Chips sowie der vorhandenen Bumpstruktur anhand einer in [89] gegebenen Formel ermitteln. Für eine Annäherung des benötigten Gesamtvolumens wird zunächst der Raum unter dem Flip-Chip abzüglich der Anzahl der Bumpvolumina berechnet. Hinzu kommt das Volumen der seitlichen Menisken sowie des Underfills in den vier Ecken, wobei als Näherung eine trapezförmige Ausprägung angenommen

wird. Die Höhe des Meniskus wird zudem aus der halben Die-Dicke und dem Stand-Off (Gap) errechnet.

Zum Dispensieren einer definierten Menge Underfill wird ein piezobasiertes Mikrodosiersystem eingesetzt, mit dem eine hochgenaue Dosierung beim Auftrag des Underfills möglich ist. Für alle Versuche wird der No-Flow-Underfill x-förmig mittig auf das jeweilige Flip-Chip-Pad aufgetragen, um eine gleichmäßige Ausbreitung ohne Lufteinschlüsse zu ermöglichen. Ein Vorheizen des Substrates auf 60 °C erzielt eine herabgesetzte Viskosität und ermöglicht bei der Bestückung ein gleichmäßiges Ausbreiten des No-Flow-Underfills.

Substrate und Schaltungslayout

Um den Miniaturisierungsgrad der Jetting-Technologie und die Anzahl der zu druckenden Lotvolumen kontinuierlich reduzieren zu können werden zwei Testschaltungsträger entworfen (Bild 128). Zunächst wird mit einem Rastermaß von 457 μ m gearbeitet, was Lotbumps mit einer Größe zwischen 170 μ m und 190 μ m erfordert. Für das zweite Layout wird ein Flip-Chip verwendet, der mit einem Pitch von 204 μ m Lotbumps mit einer Größe von 110 μ m bis 130 μ m erfordert. Beide Layouts sind mit einer Daisy-Chain-verdrahtung versehen, um nach dem Verlöten der Bauelemente und nach den Zuverlässigkeitstests die elektrische Funktion der Baugruppen messen zu können. Wird ein unendlich hoher Widerstand gemessen ist dies ein Indikator für ein Versagen einer Lötstelle.



Bild 128: Zwei Testschaltungsträger mit unterschiedlich stark miniaturisierten Bauelementen kommen zum Einsatz

Wie bereits beschrieben, hat insbesondere bei der Verarbeitung von No-Flow-Underfill der Feuchtegehalt des Substrates einen signifikanten Einfluss zur Bildung von Lufteinschlüssen. Im oberen Teil von Bild 129 ist dies deutlich erkennbar. Mit Beginn der Peakphase entweicht die Feuchte aus dem Substrat in den flüssigen Underfill, wo sie als Luftblasen unterhalb des Chips an dessen Kanten getrieben werden und dort entweichen. Dieser Prozess führt u. a. zu einem Aufschwimmen und Verdrehen des Bauelementes, wodurch sich offene Lötstellen ausbilden. Um diesen Effekt zu vermeiden, wird die Verringerung der enthaltenen Feuchtigkeit durch Trocknung der Substrate untersucht. Dabei wird die Leiterplatten [14] und [38] mit der favorisierten Temperatur von 120 °C im Konvektionsofen getrocknet und in einem Abstand von 30 Minuten gewogen, woraus sich die prozentuale Gewichtsveränderung berechnen lässt. Die folgende Abbildung (Bild 129) zeigt die Entwicklung des Feuchtegehalts beider Materialien bezogen auf das Initialgewicht.



Bild 129: Blasenbildung im No-Flow-Underfill während des Reflowprozesses (oben) und Feuchtigkeitsverlust des Substratmaterials in Abhängigkeit der Zeit (unten)

Aus der Darstellung ist ersichtlich, dass der Feuchtigkeitsgehalt des Substrats zunächst deutlich abnimmt. Nach 120 Minuten ist kein weiterer Effekt der Trocknung erkennbar, weshalb dieser Zeitpunkt als eine ausreichende Trocknung des Substrates für die unmittelbare Verarbeitung definiert wird. Um die Feuchtigkeitsaufnahme nach erfolgter Trocknung zu untersuchen, werden dieselben Substrate nach den Messungen der Feuchteabgabe für 48 Stunden in einem 70 °C Va-

kuumofen gelagert. Es folgte eine Initialmessung des Gewichtes und eine anschließende Lagerung bei Raumtemperatur, wobei wiederum ein Zeitraum von 180 Minuten untersucht wird. Es ist aus den Gewichtsmessungen erkennbar, dass die Zunahme des Feuchtegehalts der Leiterplatten deutlich verlangsamt gegenüber der Feuchtigkeitsabgabe bei 120 °C im Konvektionsofen stattfindet. Damit ergibt sich ein ausreichender Verarbeitungszeitraum für die Leiterplatten nach einer erfolgten Trocknung. Um dennoch den Effekt des Feuchtegehalts so gering wie möglich zu halten, wird die Zeit bis zur Verarbeitung nach erfolgter Trocknung auf maximal 60 Minuten definiert.

Bestück- und Lötprozess

Die Bestückung aller untersuchten Bauelemente wird manuell auf einem hochpräzisen Bestückplatz durchgeführt. Für eine optimale Bestückung muss der aufgenommene Chip und das Substrat manuell über die X-/Y-Richtung sowie die Verdrehung ausgerichtet werden. Die Höheneinstellung der Substratlage ist zudem entscheidend für ein gleichmäßiges Absetzen der gesamten Chipfläche. Der Bestücker erlaubt durch feinste Einstellung der X-/Y-Achsen sowie variablen Lichteinstellungen eine optimale Anpassung der Lichtquellen an Chip und Substrat und damit sehr gute Voraussetzungen für einen präzisen Bestückvorgang. Mit diesem System der manuellen Bestückung ist durch die vorhandene Mechanik eine Bestückgenauigkeit von 0,5 µm erreichbar.

Bei der Optimierung des Temperaturprofils werden die vom Hersteller vorgegebenen Richtlinien als Grundlage verwendet (Bild 130, oben). Das optimierte Reflowprofil weist zunächst eine Satteltemperatur von 150-170 °C für 90 Sekunden auf, in der das enthaltene Flussmittel des Underfills aktiviert wird (Bild 130, unten). Um ein vorzeitiges Aushärten des Underfills zu verhindern, ist die Zeit zwischen 170 °C und der Liquidus-Temperatur von 217 °C für SnAgCu-Legierungen mit 35 Sekunden relativ kurz gehalten. Eine kurzzeitige Peaktemperatur von 246 °C sowie eine Zeit von 58 Sekunden über Liquidus sollen eine gute Benetzungsleistung sowie ein Aushärten des Underfills sicherstellen. Im gesamten Temperaturprofil wurde ein maximaler Temperaturgradient von 3 K nicht überschritten. Mit dem erstellten Temperaturprofil ist die Verarbeitungsempfehlung für den Reflowprozess des No-Flow-Underfills optimal nachgebildet worden. Zudem bietet das Profil durch den Einsatz der SnAgCu-Legierung der Flip-Chips weiterhin die Möglichkeit, Baugruppen mit nachträglichem Capillary-Flow-Underfill zu verarbeiten. Damit ist ein universeller Reflowprozess für das Verarbeiten der Baugruppen ermöglicht worden. Im Verlauf der Untersuchungen wurde zusätzlich eine Variation des Basis-Temperaturprofils durchgeführt, wobei insbesondere die Ausprägung der Satteltemperatur, der Peakzone sowie der Abkühlung verändert wurden. Die verschiedenen erstellten Temperaturprofile ermöglichen damit die Bestimmung zusätzlicher Einflüsse des Reflowprozesses auf das Aushärtungsverhalten bei der Verarbeitung von No-Flow-Underfill.



Bild 130: Vorgaben für Temperaturprofile (oben) und untersuchte Profile (unten)

4.2.5 Aufbau- und Verbindungstechnik

Bei der Verarbeitung der beiden Underfill-Materialien entlang der Prozesskette haben sich stark unterschiedliche Eigenschaften der Materialien gezeigt. Die hohe Viskosität des NFU B führt zunächst zu einem sehr unausgewogenen Volumen während des Dispensens, wohingegen sich NFU A nahezu problemlos verarbeiten lässt.

Während des Reflowprozesses zeigt sich die schwierige Verarbeitbarkeit des NFU B ebenfalls, da unabhängig von den gewählten Prozessparametern immer ein Aufschwimmen und Verdrehen der Bauelemente zu beobachten ist. Dies konnte auch nicht durch das Aufbringen einer Gewichtskraft während des Reflowprozesses verhindert werden. Auf Basis dieser Ergebnisse wird der NFU B bei den weiteren Versuchen nicht berücksichtigt.



Bild 131: Steigerung der Stand-Off-Höhe durch den Einsatz der Jetting-Technologie; beispielhaft für Layout 1

Für die auf dem Testschaltungsträger 1 verarbeiteten Bauelemente wird in einem weiteren Schritt mittels zweier unterschiedlicher Messverfahren der Stand-Off bestimmt. Hierdurch lässt sich nachweisen, dass sich der Abstand zwischen Bauelement und Leiterplatte signifikant erhöhen lässt (Bild 131). Mit den vorgestellten Prozessen war es möglich, für die Bauelemente auf dem Testschaltungsträger 1 die Ausbeute nach Reflow von 56 % (ohne zusätzliche Lotbumps) auf 98 % (mit zusätzlichen Lotbumps).

Beispielhafte Ergebnisse zeigt Bild 132 als Röntgenaufnahme bzw. Querschliff von Bauelementen mit einem Pitch von 457 μ m. In beiden Aufnahmen ist das größere Lotvolumen deutlich zu erkennen. Durch das definierte Jetten eines Lotvolumens konnte der Stand-Off zunächst um ca. 50 μ m erhöht werden. Im Schliffbild ist auch sehr deutlich der Einsatz von SnPb-Lot im Jett-Prozess zu erkennen, der sich durch die dunklen bleireichen Bereiche in der Lötverbindung zeigt.

Für die Flip-Chips auf Testschaltungsträger 2 können im No-Flow-Underfill-Prozess nochmals bessere Ergebnisse erzielt werden. Nach dem Verlöten der Bauelemente in der Reflowanlage mit dem Temperaturprofil aus Bild 130 können 100 % Gutteile für Baugruppen ohne zusätzliche Lotbumps erreicht werden. Aufgrund der kleinen Abmessungen der gejetteten Lotbumps bei den Chips mit einem Raster von 204 μ m wirken sich kleinste Toleranzen im Substrat kritisch aus, weswegen hier nur eine Ausbeute von 79 % erreichbar ist. Querschliffe der Verbindungen sind in Bild 133 gezeigt.



Bild 132: Röntgenuntersuchung und metallografische Analyse der Verbindungsstellen mit und ohne zusätzlichem Lotbump aus bleihaltigem Lot



Bild 133: Die metallografischen Untersuchungen zeigen eine gute Lotstellenausprägung sowie vereinzelte Lufteinschlüsse zwischen Bumps

Auf Basis mikroskopischer Aufnahmen der angefertigten Schliffe, kann eine gute Kontaktstellenausprägung der verarbeiteten Baugruppe festgestellt werden. Dies lässt auf eine geeignete Reflowprofilierung schließen, da der eingesetzte No-Flow-Underfill die Ausbildung der Lotstelle nicht behindert. Einzelne Lufteinschlüsse verdeutlichen wiederum die Notwendigkeit zur Trocknung des Substrates vor der Verarbeitung mit No-Flow-Underfill. Mit der dennoch erzielten Ausbeute von 100 % bei der Verarbeitung dieser Flip-Chip-Komponenten kann auf eine grundsätzliche gute Verarbeitung von No-Flow-Underfill mit den aufgestellten Prozessparametern geschlossen werden.

4.3 Untersuchungen zur Baugruppenzuverlässigkeit von Baugruppen mit variablen Stand-Off

Autor: Dr. Schüßler, Florian

Lehrstuhl für Fertigungsautomatisierung und Produktionssystematik, FAU Erlangen-Nürnberg

Die Zuverlässigkeitsuntersuchungen wurden anhand von Temperaturschock-Tests nach DIN EN 60 068-2-14 (-40 °C/+125 °C) und einer Feuchte/Wärme-Auslagerung nach DIN EN 60068-2-67 (+85 °C/85 % r. F., 500 h) durchgeführt. Nach der Auslagerung bei Feuchte/Wärme konnte erwartungsgemäß kein Ausfall detektiert werden. Unabhängig vom Stand-Off liefern die Temperaturschock-Tests einen frühen Ausfall der Kontaktierung und ein Vergleich der unterschiedlichen Aufbauvarianten ist nicht möglich. Schon nach 50 Zyklen gibt es die ersten Ausfälle. Bereits nach 250 Zyklen sind alle Bauelemente ausgefallen.



Bild 134: Vergleich des Ausfallverhaltens der Verbindungsstellen mit und ohne zusätzlichem Lotbump

Der Versagensmechanismus von Lötverbindungen (Pitch: 204 μ m) ist in Bild 135 gezeigt. Zu sehen ist, dass die Rissbildung innerhalb des Lotmaterials erfolgt, was auf zu große Scherkräfte innerhalb der Verbindungsstelle hindeutet. Diese können durch den No-Flow-Underfill nicht aufgenommen werden, da dieser ungefüllt ist und somit ebenfalls einen sehr hohen thermischen Ausdehnungskoeffizienten besitzt.



Bild 135: Rissbildung innerhalb der Lötstelle aufgrund von zu starken Scherkräften

5 Anlagentechnik und Prozessführung bei Ultra-Fine-Pitch-Baugruppen

Der Trend zu kleineren Abmessungen bei Bauelementen stellt auch höhere Anforderungen an die verwendete Anlagentechnik. Im Rahmen des Verbundprojektes ProUFP wurden vor diesem Hintergrund zwei Effekt untersucht: Zum einen ist mit fortschreitender Miniaturisierung einer Reduzierung des Selbstzentrierungseffektes, sowohl bei passiven als auch aktiven Bauelementen zu beobachten. Zum anderen besteht aufgrund der extrem reduzierten thermischen Massen der kleinen Bauelemente die Gefahr einer thermischen Schädigung, die auf ein zu hohes ΔT auf dem Schaltungsträger während des Reflowprozesses zurückzuführen ist. Auch die Oxidationsneigung von feinsten Lotvolumina verstärkt sich. Insofern kommt der Prozessführung im Lötprozess eine extreme Bedeutung zu, auch im Hinblick auf das Verblasen von kleinsten Bauelementen in einer Konvektionslötanlage.

Sowohl die Verbesserung des Selbstzentrierungseffektes, als auch eine verbesserte Prozessführung für den Lötvorgang waren Gegenstand der Forschung (Bild 136). Die Ergebnisse sind in den folgenden Kapiteln beschrieben.

Anlagentechnik und Prozessführung bei Ultra-Fine-Pitch- Baugruppen				
Strömungsverhältnisse	Schutzgase	Selbstzentrierung		
 Bestimmung einwirkender	 Verwendung verschiedener	 Beurteilung des Selbst-		
Kräfte auf ein Bauelement	Schutzgase	zentrierungseffektes		
Haftfestigkeit von Bauele-	Einfluss auf die Wärme-	 Unterstützung des Ein-		
menten vor Reflow	verteilung	schwimmverhaltens		
 Abschätzung der Gefahr	 Auswirkungen auf die	 Bestimmung relevanter		
des Verblasens	mechanische Festigkeit	Parameter		

Bild 136: Schwerpunkte der Arbeiten im Arbeitspaket C

5.1 Möglichkeiten der Strömungs- und Temperaturprofiloptimierung Autoren: Härter, Stefan¹; Dr. Schüßler, Florian¹; Diehm, Rolf L.²

¹ Lehrstuhl für Fertigungsautomatisierung und Produktionssystematik, FAU Erlangen-Nürnberg

² Seho GmbH

5.1.1 Strömungsverhältnisse und deren Einfluss auf ein Verblasen der Bauelemente

Durch die fortschreitende Miniaturisierung werden neue Anforderungen an die Prozessführung sowie die Anlagentechnik gestellt. Im Rahmen der Untersuchungen wurde dabei die Gefahr des Verblasens von Bauelementen während des Reflowprozesses bewertet. Hierzu wurde ein Konvektionsofen mit Hilfe eines Computational Fluid Dynamics (CFD)-Simulationsprogramms nachgebildet und der auftretende turbulente Luftstrom anhand verschiedener Varianten eines Leiterplattenlayouts berechnet. Im Fokus standen hierbei aufgrund ihres geringen Eigengewichtes insbesondere passive Komponenten bis hin zu kleinsten Zweipolern der Größe 01005 (vgl. auch Tabelle 37). Neben angreifenden Kräften des Luftstroms wurden mittels Scherversuchen an bestückten Leiterplatten reale Haltekräfte bestimmt, welche einem möglichen Verblasen entgegen wirken.

Bauform	0603	0402	0201	01005
Maße [mm]	1,6 x 0,8	1,0 x 0,5	0,6 x 0,3	0,4 x 0,2
Gewicht [mg]	2	0,8	0,15	0,04

Tabelle 37: Größen- und Gewichtsvergleich passiver SMD-Bauelemente

Modellbildung zur thermischen Simulation

Für die Nachbildung des Reflowprozesses mit Modellierung der zu untersuchenden Baugruppe wurden als Simulationsprogramme FloPCB für die Modellierung der Leiterplatte sowie der darauf befindlichen Bauelementen sowie Flotherm für die strömungstechnische Simulation eingesetzt. Umfangreiche Datenbanken sowie Import-/Exportmöglichkeiten zwischen den beiden Programmen erlauben eine umfassende Nachbildung des Prozesses. Die Simulation bietet dabei die Möglichkeit Temperatur, Druck, Strömungsgeschwindigkeiten verschiedener Medien, sowie einen zeitlich veränderlichen (transienten) Prozess abzubilden. Darüber hinaus sind Datenbanken sowie Grundfunktionen für den Einsatz in der Elektronikproduktion implementiert.

Der Schaltungsträger wurde mit Hilfe des Programms FloPCB 4.1 entworfen und modelliert. Die Leiterplatte wurde dabei auf eine Größe von 80 mm x 100 mm mit einer Dicke von 1,6 mm festgelegt. Des Weiteren sind auf der als FR4 definierten Leiterplatte zwei Kupferlagen nachgebildet, wovon sich neben der Oberfläche eine Lage in der Mitte der Leiterplatte befindet. Bauelemente mit hohen thermischen Massen werden zunächst nicht modelliert, wodurch eine

verhältnismäßig homogene Wärmeverteilung zugrunde gelegt werden kann. Weiterhin ist die Betrachtung der Wärmeverteilung in den Leiterbahnen für Untersuchungen im Zusammenhang mit der Eigenerwärmung von Bauelementen im Betriebszustand wichtig. In der Modellierung werden die Höhe der Schicht, die exakte Materialzusammensetzung (reines Kupfer bzw. Legierungen) sowie die Größe der Fläche angegeben. Dies gilt sowohl für die Lage an der Oberfläche als auch für die Lage innerhalb der Leiterplatte. Die Lotdepots werden vereinfacht als Quader mit einer Höhe von 80 µm mit der Grundfläche des jeweiligen Bauelementes dargestellt. Diese Vereinfachung ist möglich, da zum einen die Nachbildung der realen Geometrie der Lotdepots für die Strömungsanalyse nicht notwendig ist. Zum anderen kann das Aufschmelzen der Lotdepots und das Einsinken der Bauelemente mit den eingesetzten Programmen nicht dargestellt werden. Allerdings ist dieser Zustand für die Untersuchungen zur Gefahr des Verblasens nicht relevant, da eine vergleichsweise hohe Adhäsion zwischen Lotdepot und Bauelement nach dem Umschmelzen der Lotpaste vorherrscht.

Bauelementeauswahl und Layout des Schaltungsträgers

Aufgrund der verhältnismäßig geringen Größe und einem geringen Eigengewicht wurden passive Komponenten in SMD-Bauweise als Schwerpunkt für die Simulation ausgewählt. Im Rahmen der Untersuchungen wurden Bauelemente der Größe 0603, 0402, 0201 sowie 01005 modelliert (vgl. Tabelle 37). Insbesondere für die kleinste Bauform der untersuchten Bauelemente ergibt sich die größte Gefahr des Verblasens während des Reflowprozesses. Neben den passiven zweipoligen Bauelementen wurden auch SMD-Bauelemente der Bauformen BGA (Ball Grid Array) mit 10 mm x 10 mm und SOT (Small Outline Transistor) mit 8 mm x 12 mm modelliert. Bei diesen Bauelementen besteht durch das hohe Eigengewicht sowie die Anzahl der Anschlusskontakte und damit eine erhöhte Nassklebekraft keine Gefahr des Verblasens. Allerdings bedingt der Einsatz dieser Bauelemente zum einen eine Anpassung des eingesetzten Lötprofils, um das vollständige Aufschmelzen der Pastendepots durch die erhöhte erforderliche Wärmeeinbringung sicherzustellen. Zum anderen können die vergleichsweise großen Bauelemente Auswirkungen auf die oberflächennahe Luftströmung haben, welche in veränderten Geschwindigkeiten mit Abschattungseffekten oder Turbulenzen der Strömung resultieren könnte.

Bei der Modellierung des Schaltungsträgers wurden drei Varianten verfolgt (vgl. auch Bild 137). Variante a) erlaubt es, die Luftströmung an einer mischbestückten Baugruppe zu untersuchen. Dabei wurden die großflächigen Bauelemente der Bauform BGA und SOT mittig platziert, die passiven SMD-Bauteile sind in einer 4x4 Anordnung nach Typ gruppiert. Die unterschiedliche Anordnung der Zweipoler erlaubt zudem die Untersuchung der Anströmung in Längs- bzw. Querrichtung, wobei der Abstand untereinander einer Bauteillänge entspricht. Die Variante b) der Leiterplatte ist nur mit Zweipolern ausgelegt, um einen ungehinderten Luftstrom zu simulieren. Hierbei treten keine bauteilbedingten Abschattungen oder Verwirbelungen auf, die zu einer Reduzierung der Strömungsgeschwindigkeiten führen könnten. Der Sonderaufbau der Variante c) betrachtet verursachte Effekte, die sich durch die Verwendung und Anordnung von BGAs und 01001-Bauelementen ergeben.



Bild 137: Layoutvarianten des Schaltungsträgers mit Mischbestückung (a), zweipoligen Bauelementen (b) und Sonderaufbau 01005-/BGA-Bauteilen (c)

Im zentralen Bereich der Leiterplatte sind dabei vier BGAs positioniert worden, welche durch die Anordnung einen Kanal in x- bzw. y-Richtung ausbilden. Im Ausgangsbereich der Verengungen sind Gruppen von Bauelementen des Typs 01005 in einer 4x4 Anordnung platziert. Die Schluchten bzw. Kanäle sollen den Luftstrom des Reflowofens künstlich beschleunigen, so dass im Bereich der 01005-Bauelemente eine möglichst hohe Luftströmung vorherrscht. Zusätzlich zu diesem zentralen Aufbau sind in den Ecken der Leiterplatte in einem Randabstand von 5 mm weitere 4x4 Gruppen von Zweipolern der Baugröße 01005 vorgesehen. Hiermit sollen im äußeren Randbereich Effekte unterschiedliche Strömungsgeschwindigkeiten betrachtet werden.

Erstellung des Reflowprozessmodells

Bei der Modellbildung des Reflowprozesses, wobei eine Leiterplatte auf Schleppketten den Prozessraum durchläuft, gilt es verschiedene Aspekte zu berücksichtigen. So besitzen der Prozessraum und die eigentliche Baugruppe unterschiedliche Größenmaßstäbe, die Baugruppe ist während des Reflowprozesses bewegt und der Prozess verläuft transient. Zudem tritt eine turbulente Luftströmung auf und der Wärmeübergang von Medium auf die zu verarbeitende Baugruppe muss betrachtet werden. Damit ergeben sich drei Ansätze für die Simulation des Reflowprozesses, welche sich hinsichtlich Komplexität und dem notwendigen Rechenaufwand für die Simulation signifikant unterscheiden.

Der erste Ansatz verfolgt die Generierung des gesamten Ofens und der Baugruppe in der Simulationsumgebung. Die Herausforderung besteht in der Darstellung der sich bewegenden Baugruppe im Ofenmodell. Um diese Bewegung zu erzeugen, muss das Gitter der Baugruppe gegen das Gitter des Ofens beweglich sein und entsprechende Gitterschnittstellen geschaffen werden. Bei dieser Methode wird bedingt durch die Neugenererierung des Gitters zu jedem Zeitschritt das Strömungsfeld des Ofens jedes Mal neu berechnet, weshalb der Rechenaufwand und die Komplexität dieser Methode als sehr hoch einzustufen ist. Ein weiterer Ansatz basiert auf einem stationären Ofenmodell des gesamten Ofenraums. Nach Berechnung dieses Modells werden die Er-

gebnisse als Randbedingungen für die Zeitberechnung des Verhaltens der Baugruppe verwendet. Die transiente Berechnung der erfolgt damit in einem räumlich reduzierten Modell das nur die Baugruppe und ein umgebendes Luftvolumen beinhaltet. Vorteil dieser Methode ist die deutlich verkürzte Rechenzeit gegenüber der ersten Methode bei einer geringeren Komplexität.

Der dritte und im Rahmen dieser Untersuchung umgesetzte Ansatz beschränkt sich auf ein größenreduziertes Modell. Hierbei werden nur die Baugruppe und das umgebende Luftvolumen simuliert. Als Randbedingungen sind die Einströmgeschwindigkeit des Mediums, die Temperatur sowie die Transportgeschwindigkeit der Leiterplatte direkt einstell- und verwendbar. Die Rechenzeit und Komplexität des dritten Ansatzes ist vergleichsweise am geringsten einzuordnen. In [2] wurde dagegen nachgewiesen, dass dieses reduzierte Modell für Untersuchungen des Strömungsverhaltens an der Baugruppe als ausreichend genau einzustufen ist. Ein signifikanter Vorteil des größenreduzierten Modells ist die Möglichkeit einer feinen Gittereinstellung, womit ein verbessertes Ergebnis der Simulation bei verkürzter Rechenzeit erzielt werden kann. Zur Simulation der Luftströmungen muss ein entsprechendes Turbulenzmodell gewählt werden. In der Elektronikproduktion wird hierfür hauptsächlich das k-E-Modell für hohe Reynoldszahlen verwendet, was sich durch seine besondere Stabilität in den Ergebnissen auszeichnet. Da im Rahmen der Untersuchungen die strömungstechnischen Vorgänge an der Oberfläche der Baugruppen im Fokus stehen, wird das erweiterte LVEL ("Low Velocities") k-ɛ-Modell eingesetzt, welches insbesondere im wandnahen Bereich erhebliche Vorteile gegenüber dem normalen k-E-Modell bietet.

Einfluss des Luftstroms auf hochminiaturisierte Bauelemente

Für den erzeugten Luftstrom während des Konvektionslötprozesses wurden Geschwindigkeiten zwischen 4 m/s und 12 m/s angenommen [2]. Durch das geringe Eigengewicht sind insbesondere Bauelemente der Baugröße 01005 von der Gefahr des Verblasens und der damit einhergehende Positionsänderung betroffen. Die Kräfte, die während des Reflowprozesses wirken, lassen sich in die drei Raumvektoren x, y, und z aufteilen. Zudem wirkt eine Haltekraft, welche sich aus der Gewichtskraft des Bauelementes und der Nassklebekraft der Lotpaste zusammensetzt.



Bild 138: Kraftangriffsmodell (a) und Haltekräfte am Bauelement (b)

Für die Gefahr eines kritischen Effektes auf die Bauteilposition sind Kräfte zuzuordnen, welche in x- bzw. y-Richtung wirken. Die resultierenden Kräfte des Luftstroms werden mit Hilfe des

Strömungswiderstandskoeffizienten c_w bzw. der Widerstandskraft F_w mit folgender Formel ermittelt.

$$F_w = \frac{c_w \rho A v^2}{2}$$

Die Dichte (ρ) bzw. die Geschwindigkeit des anströmenden Mediums (v) lassen sich entweder mit Hilfe der Simulationssoftware oder auch mit den Ergebnistabellen für den gewünschten Bereich der Leiterplatte bestimmen. Die angeströmte Fläche (A) ist durch die Längs- bzw. Querseite des Zweipolers definiert. Für den Anwendungsfall im Rahmen der Untersuchungen kann der Widerstandsbeiwert (c_w) über eine Berechnung mit Hilfe der Formel von Stokes bzw. des Stokesschen Formfaktors ermittelt werden.

$$K_{St} = \frac{24}{\text{Re} \cdot c_w}$$

Der Stokessche Formfaktor wurde von Heiss und Coull für Quader in Abhängigkeit der Höhen-Breiten-Verhältnisse experimentell bestimmt [34]. Ein Zweipoler, der quer angeströmt wird, wurde als Rechteck mit einem Verhältnis von Länge zu Höhe = 2:1 definiert, was einen Stokesschen Faktor von 0,84 ergibt. Für ein längs angeströmtes Bauteil wurde gleichermaßen ein Faktor von 0,96 bestimmt.

Im Rahmen der durchgeführten Simulationen wurden Strömungsgeschwindigkeiten von 8 m/s, 10 m/s und 12 m/s untersucht. Als Lötprofil wurde ein Rampenprofil mit einer stetig ansteigenden Temperatur bis zum Erreichen der Peaktemperatur bei gleichbleibender Lüfterleistung ausgewählt. Bei ansteigender Strömungsgeschwindigkeit steigt die Temperatur im Peakbereich ebenfalls an. Da jedoch das Verhalten der Strömung in Oberflächennähe für die Untersuchungen entscheidend ist, wurden Geschwindigkeitsvektoren der Strömung an der Leiterplattenoberfläche ausgewertet. Diese Vektoren sind für jedes Gitterelement der Simulation vorhanden, wobei für eine Genauigkeitssteigerung im Bereich von Bauelementen die Gitterauflösung stark vergrößert wurde.

Luftstrom	8 m/s	10 m/s	12 m/s
Layout-Variante a)	0,67 m/s	0,92 m/s	1,12 m/s
Layout-Variante b)	0,67 m/s	0,92 m/s	1,12 m/s
Layout-Variante c)	0,98 m/s	1,62 m/s	2,98 m/s

Tabelle 38: Durch Simulation bestimmter maximaler Luftstrom an der Leiterplattenoberfläche

Mit den Ergebnissen der Simulation lässt sich zeigen, dass die Geschwindigkeiten der Strömung an der Oberfläche signifikant von den Austrittsgeschwindigkeiten abweichen. Durch Layoutvariante c) konnte eine Erhöhung der Oberflächenströmung erzielt werden, welche im Bereich der 01005-Bauelemente das Maximum aufweist.

Krafteinwirkung in Abhängigkeit des Parameter des Lötprozesses

Mit den Simulationsdaten der kinematischen Viskosität und der Dichte des Mediums ($\rho = 1,12 \text{ kg/m}^3$ bei T = 35 °C bzw. $\rho = 1,02 \text{ kg/m}^3$ bei T = 200 °C) wurde der Strömungswiderstandskoeffizient von 0,97 im querangeströmten Fall und 0,46 im längsangeströmten Fall für ein 01005-Bauelement berechnet. Damit ergibt sich für ein querangeströmtes Bauelement eine maximal wirkende Kraft von 3,51 · 10⁻⁷ N bei einer Temperatur von 35 °C, für ein längsangeströmtes Bauelement eine Maximalkraft von 9,15 · 10⁻⁸ N (ebenfalls bei T = 35 °C). Die folgende Tabelle gibt eine Übersicht der ermittelten wirkenden Kräfte auf die untersuchten Bauelementgrößen.

Tabelle 39: Wirkende Kräfte auf Zweipoler bei einer Strömungsgeschwindigkeit von 2,98 m/s und einer Temperatur T = 35 °C ($\rho = 1,12 \text{ kg/m}^3$)

Bauform	0603		0402		0201		01005	
Strömungs- richtung	quer	längs	quer	längs	quer	längs	quer	längs
Widerstands- beiwert[c _w]	0,24	0,11	0,38	0,17	0,63	0,28	0,97	0,46
Angeströmte Fläche [mm²]	1,28.10-6	6,4·10 ⁻⁷	5,0.10-7	2,5.10-7	1,8.10-7	9,0·10 ⁻⁸	8,0·10 ⁻⁸	4,0.10-8
Kraftein- wirkung [N]	1,53·10 ⁻⁶	3,50·10 ⁻⁷	9,45·10 ⁻⁷	2,11.10-7	5,64·10 ⁻⁷	1,25.10-7	3,85·10 ⁻⁷	9,15·10 ⁻⁸

Ermittlung der Haftfestigkeit von Zweipolern während des Reflowprozesses

Die Haltekräfte, die ein Verblasen eines Bauelementes während des Reflowprozesses verhindern können, setzen sich aus der Gewichtskraft des Bauteils und den Haltekräften der Lotpaste zusammen (vgl. auch Bild 138). Zur Bestimmung der Nassklebekraft des Lotes wurden Scherversuche durchgeführt, wobei während der Tests die Bauelemente seitlich abgeschert und die dabei notwendigen Kräfte am Messkopf aufgezeichnet werden. Damit sind gleichartige Bedingungen nachgestellt, wie sie in der Simulation der Leiterplatte vorliegen. Im Rahmen der Scherversuche werden zwei verschiedene Zustände der Lotpaste untersucht, zum einen der feuchte Zustand direkt nach dem Bestücken und zum anderen nach Verdampfen des Flussmittels. Um den trockenen Zustand nach Verdampfen des Flussmittels zu erreichen, wurden bestückte Baugruppen dem Reflowprozess vor Erreichen der Peakzone entnommen. Zur Bestimmung der Haltekräfte konn-

ten Untersuchungen mit Bauelementen der Größe 0603, 0402 und 0201 durchgeführt werden, wobei folgende Abbildung die beiden Zustände direkt nach dem Bestückvorgang (a) und nach dem Austrocknen der Lotpaste (b) unterscheidet.



Bild 139: Die Austrocknung der Lotpaste während des Reflowprozesses resultiert in einer signifikant gesteigerten Haftfestigkeit

Mit den Messungen wurden die Kräfte bestimmt, die für ein Verschieben der Bauelemente aus der Bestückposition erforderlich sind. Dabei ergeben sich direkt nach dem Bestückvorgang Werte im Bereich von 0,4 cN bis 0,8 cN. Zudem lässt sich nachweisen, dass sich die erforderlichen Kräfte signifikant unterscheiden zwischen Bauelementen direkt nach dem Bestückvorgang (vgl. Bild 139a) und Bauteilen, die bereits den Reflowprozess mit deaktivierter Peakzone durchlaufen haben (vgl. Bild 139b). Damit sind die Kräfte bestimmt worden, die im trockenen Zustand der Lotpaste nach dem Verdampfen der Flussmittel vorhanden sind. Die Werte unterscheiden sich deutlich von der gemessenen Nassklebekraft direkt nach dem Bestückprozess und liegen um ein vielfaches höher, was sich auf eine bereits vorliegende Haftung zurück führen lässt. Eine erhöhte Gefahr des Verblasens am Ende der Flussmittelaktivierung durch Aufliegen der Bauelemente auf angetrockneter Lotpaste kann damit ausgeschlossen werden.

Bewertung der Gefahr des Verblasens von hochminiaturisierten Bauelementen

Aus den Ergebnissen wird ersichtlich, dass die Haltekräfte die von der Luftströmung ausgeübten Kräfte um ein vielfaches übersteigen. Dabei reicht schon alleine die Gewichtskraft eines Bauelementes aus, um ein Verblasen unter den definierten Bedingungen zu verhindern. Dies wurde auch an einem Bauelement der Größe 01005 rechnerisch dargelegt, wobei es nicht möglich ist, das Bauelement unter den simulierten Bedingungen von seiner Position auf der Leiterplatte zu bewegen. Es ist festzustellen dass die effektiven Strömungsgeschwindigkeiten an der Oberfläche der Leiterplatte nur einen Bruchteil der Geschwindigkeit am Austrittspunkt der Heizgase haben. Dies liegt zum einen in der Ursache begründet, dass im Bereich der Leiterplatte die Luft verdichtet und somit stark verlangsamt wird, da sie die Leiterplatte umströmen muss. Zum anderen entsteht durch diese Umströmung zusätzlich eine dünne Schicht direkt an der Oberfläche des Schal-

135

tungsträgers, die in allen Simulationen eine sehr geringe Strömungsgeschwindigkeit aufweist und in Bild 140 dargestellt ist.



Bild 140: Ausprägung einer laminaren Grenzschicht an der Leiterplattenoberfläche mit 0603-Bauelementen

In Oberflächennähe ist ein Bereich mit deutlich herabgesetzter Strömungsgeschwindigkeit festzustellen, wobei sich Bauelemente der Größe 01005 vollständig innerhalb dieser Schicht befinden würden. Damit sind diese Bauelemente nur vergleichsweise niedrigen Strömungsgeschwindigkeiten ausgesetzt, höhere Geschwindigkeiten treffen nur auf größere Bauelemente und haben durch deren größeres Eigengewicht keine Auswirkung auf die Position.

Lediglich mit Layoutvariante c) (vgl. Bild 137) konnte die Strömungsgeschwindigkeit auf der Oberfläche auch im Bereich der Bauelemente der 01005-Bauelemente erhöht werden. Mit Hilfe der beiden BGA-Bauelemente wurden Engstellen geschaffen, um die Strömung lokal zu erhöhen. Bild 141 zeigt den Übergang der Luftströmung zwischen den BGAs auf die umliegenden 01005-Bauteile.

Durch die besondere Bauteilanordnung konnte die simulierte Strömungsgeschwindigkeit im Bereich der zentral liegenden 01005-Bauelemente bis auf 2,98 m/s gesteigert werden. Sollte die effektive Strömungsgeschwindigkeit in realer Umgebung deutlich von der Simulation abweichen, wäre in diesem speziellen Fall einer ungünstigen Strömungsführung die Möglichkeit des Verblasens gegeben. Hier zeigt sich weiterer Untersuchungsbedarf, um die Ergebnisse der CFD-Simulationen mit realen Schaltungsträgern zu verifizieren. Insbesondere oberflächennahe Strömungsgeschwindigkeiten sowie weitere Einflussfaktoren während des Reflowprozesses gilt es zu untersuchen, da reale nichtlineare Effekte nur sehr eingeschränkt mit Hilfe der Simulation nachgebildet werden können.


Bild 141: Layoutvariante c) ermöglicht eine Steigerung der Strömungsgeschwindigkeit auf der Oberfläche auch im Bereich von 01005-Bauelementen

5.1.2 Reduzierung der thermischen Belastung durch den Einsatz alternativer Schutzgase

Die folgenden Texte sind in Auszügen aus [106] entnommen. Bisher sind Schutzgase vor dem Hintergrund betrachtet und untersucht worden, die Oxidation der Verbindungselemente während des Lötprozesses zu reduzieren [73][103][131][130]. Außer Acht gelassen wird allerdings, dass einige Gase mit Schutzwirkung auch eine verbesserte Wärmeleitfähigkeit haben. Diese kann genutzt werden, um sensible, oftmals hochminiaturisierte Bauelemente bei reduzierter thermischer Belastung löten zu können.

Wärmeübertragung durch Gase

Besteht zwischen zwei thermodynamischen Systemen ein Temperaturunterschied, so findet eine Angleichung der beiden Temperaturen statt. Die Wärmeübertragung kann dabei in die Mechanismen Wärmeleitung, Konvektion und Wärmestrahlung eingeteilt werden, wobei die reale Wärmeübertragung meist eine Kombination aus mehreren Übertragungsmechanismen ist. Wärmeleitung tritt bei Flüssigkeiten und Gasen nur in unbewegtem Zustand auf, wobei dann die kinetische Energie von einem Molekül oder Elementarteilchen auf seinen Nachbarn übertragen wird. Die hierfür relevante Kenngröße ist die Wärmeleitfähigkeit. In Ruhe sind strömende Gase allerdings nur wandflächennah. Denn strömt ein Gas über einen Festkörper, bilden sich zwei Bereiche im Strömungsprofil. Zum einen ein Bereich mit ungestörter Strömung und konstanter Geschwindigkeit, zum anderen wandflächennah eine Zone mit ausgeprägtem Profil der Strömungsgeschwindigkeit. In dieser Grenzschicht sinkt die Geschwindigkeit der Gasmoleküle bis auf null, da die Moleküle wegen der für Kontinua geltenden Haftbedingungen ruhen. [8][27][36][57]

Im Lötprozess findet die Energieübertragung aber vor allem durch das aktive Bewegen des Prozessgases statt, durch die sogenannte erzwungene Konvektion. Dabei transportiert jedes Volumenelement seine innere Energie U durch Strömung entlang eines Körpers und überträgt dabei die Energie auf diesen. [8][27][36]



Eigenschaften ausgewählter Schutzgase

Für die Untersuchungen werden die in Tabelle 40 genannten Gase bzw. Mischungen davon verwendet. Neben dem für das Reflowlöten weit verbreiteten Gas N₂ sind das im Weiteren He und CO₂. Die Werte für die Wärmeleitfähigkeit und die Wärmekapazität gelten zunächst für Raumtemperatur und einen Umgebungsdruck von 1013 hPa.

Wie zuvor beschrieben, treten während des Reflowlötens hauptsächlich Wärmeleitung und Konvektion als Wärmeübertragungsmechanismen auf. Für die Wärmeleitung ist die Wärmeleitfähigkeit von Bedeutung, die gemäß [57] von der Temperatur, dem Druck und in einigen Fällen von der Richtung abhängig ist. Der Druck kann in einer Reflowanlage als konstant angenommen werden, wodurch die Wärmeleitfähigkeit der Gase allein von der Temperatur bestimmt wird. Da alle Schutzgase der gleichen Temperatur ausgesetzt sind, verbessert sich zwar die Wärmeleitfähigkeiten der Gase bleibt über den gesamten betrachteten Temperaturbereich aber konstant.

Tabelle 40: Relevante Eigenschaften verschiedener Gase, die als Schutzgasatmosphäre eingesetzt werden können [37][106]

Gasgemisch	Wärmeleitfähigkeit in W/mK	Wärmekapazität in J/kgK (25 °C)	Molmasse in g/mol	Dichte in kg/m ³
N ₂ /O ₂ /Ar (Luft)	0,026	1005	28,96	1,293
0 ₂	0,023	920	31,99	1,429
N ₂	0,026	1040	28,01	1,250
He	0,152	5193	4,00	0,1785
CO ₂	0,015	843	44,00	1,98

Beim Vergleich der Wärmeleitfähigkeiten der Gase fällt auf, dass He eine sehr viel bessere Wärmeleitfähigkeit besitzt als Luft und N₂, die auf demselben Niveau liegen. CO₂ zeigt die geringste Wärmeleitfähigkeit. Dies lässt sich mit der kinetischen Gastheorie erklären, der zufolge sich kleine, leichte Atome bzw. Gasmoleküle schneller bewegen und somit mehr Energie transportieren können. He-Atome (M=4 g/mol) haben eine höhere Geschwindigkeit als die CO₂-Moleküle (M=44 g/mol), wodurch He eine bessere Wärmeleitfähigkeit besitzt.

Die Wärmekapazität ist ebenfalls von der Temperatur abhängig und nimmt mit steigender Temperatur zu. Dies allerdings nicht linear, sondern in dem Maß, in dem die Energie ausreicht, um die Freiheitsgrade von Rotation und Schwingung anzuregen. Die in Tabelle 40 angegebenen Werte gelten für Raumtemperatur, bei der sowohl Luft als auch N₂ und insbesondere He eine deutlich bessere Wärmekapazität haben. Für He bleibt dieser Wert im Temperaturbereich von 25 °C bis 5727 °C konstant 5193 J/kgK. Die Wärmekapazität von CO₂ nähert sich im Bereich der Liquidustemperatur hochschmelzender bleifreier Lote an den Wert von N₂ an und liegt somit im Bereich von Luft (78 % N₂, 21 % O₂, 1 % Ar).

138

Berücksichtig werden muss für den Fall des Reflowlötens mittels Konvektion, dass die He-Atome so klein sind, dass durch die Ventilatoren eine sehr schlechte Volumenförderung stattfindet und somit auch nur eine geringe erzwungene Konvektion. Aus diesem Grund werden zusätzlich Gasgemische aus N₂ und He bzw. CO_2 und He verwendet, um das He anzufetten und hierdurch die Konvektion zu verbessern.

Schutzgase zur Verbesserung der Wärmeübertragung

Einer möglichst gleichmäßigen Temperaturverteilung auf einem Schaltungsträger während des Lötprozesses wird sehr viel Bedeutung beigemessen. Erklärtes Ziel ist es, dass die Kurvenschar der Temperaturprofile an den unterschiedlichen Stellen auf einer Leiterplatten möglichst nah beieinander liegen, um eine Überhitzung spezifischer Bereiche bzw. Bauelemente zu vermeiden. Durch die starke Miniaturisierung einzelner Bauelemente und der damit einhergehenden Reduzierung des Lotpastenvolumens wird dieser Zustand nochmals verschärft. Bessere Wärmeübertragungseigenschaften von Gasen bzw. Gasgemischen können in diesem Zusammenhang zu einer gleichmäßigeren Durchwärmung der Komponenten einer elektronischen Baugruppe beitragen.

Für den Nachweis einer verbesserten Wärmeverteilung auf Leiterplatten während des Reflowlötprozesses durch den Einsatz von Schutzgasen, werden spezifische Temperaturprofile kritischer Punkte auf einem Schaltungsträger aufgenommen. Hierzu werden die im Bild 142 dargestellten Testschaltungsträger eingesetzt. Die thermischen Kapazitäten der Heatsinks und die verwendeten Gase sind in Tabelle 41 aufgelistet.



Bild 142: Testschaltungsträger für mechanische und thermische Untersuchungen

Gasgemisch	Zusammensetzung	Untersuchung	
	Volumenanteil	TMessung	Schertest
$N_2/O_2/Ar$ (Luft)	78 %/21 %/1 %	+	+
N ₂	99,5 %	+	+
N ₂ /He	63 %/37 %	+	+
He	100 %	-	+
CO ₂ /He	66 %/34 %	+	-
CO2	100 %	+	-
ThermKapazität	Endoberfläche	Lote	
25 J/K	NiAu	SnAgCu	
49 J/K	chem. Sn	InnoLot	
99 J/K	OSP		

 Tabelle 41:
 Angabe zu den eingesetzten Schutzgasen und den auf dem Testschaltungsträger verwendeten thermischen Kapazitäten [106]

Neben der Beurteilung der thermischen Einflüsse der Gase ist auch deren Einfluss auf die optische Erscheinung, die mechanische Festigkeit und die Gefügeausbildung der Lötstellen von Bedeutung. Für diese Analysen werden Komponenten der Form CR 0603, CR 0402 und CR 0201 auf einem weiteren Schaltungsträger aus FR4 (Bild 142) mit den in Tabelle 41 genannten Parametern verarbeitet. Die beschriebenen Analysen werden im Ausgangszustand und während der beschleunigten Alterung (Temperaturschock, 1000 Zyklen, -65 °C/+150 °C) durchgeführt.

Einfluss der Schutzgase auf die Wärmeverteilung

Der thermische Einfluss der Prozessgase ist in Bild 143 dargestellt. Das Diagramm integriert dabei zwei Aussagen. Zum einen die Angabe zur Peaktemperatur, die über neun Temperatursensoren auf der Testbaugruppe gemittelt wird. Der Fehlerbalken gibt zum anderen den maximalen Temperaturunterschied auf dem Schaltungsträger an.

Zunächst ist festzuhalten, dass sich die bessere Wärmeübertragung der Prozessgase bzw. gasgemische in Abhängigkeit der thermischen Masse der Baugruppe bemerkbar macht, wobei sich die in Tabelle 40 aufgeführten Eigenschaften der Gase im Ergebnis wiederspiegeln. Weiterhin ist gut zu erkennen, dass mit einem Gemisch aus CO_2 und He immer die höchsten Peaktemperaturen und das geringste ΔT erreichbar sind, also effektiv das Arbeiten mit einer niedrigeren Prozesstemperatur möglich ist. Für eine Baugruppe ohne thermische Kapazität liegen die Unterschiede zwischen Luft und CO_2 He als Prozessgase noch im Bereich der Messtoleranzen, mit steigender thermischer Kapazität wird aber im Maximum eine um 9 K höhere Peaktemperatur und ein um 4 K niedrigeres ΔT auf der Testbaugruppe erreicht, was in technologischen Grenzgebieten erhebliche Prozessvorteile darstellen kann.



Bild 143: Einfluss des Prozessgases auf die Peaktemperatur und die Wärmeverteilung auf der Baugruppe [106]

Mit dem Einsatz von N2 alleine kann neben der Schutzgaswirkung kein thermischer Einfluss detektiert werden, durch die Zugabe von He wird der Einfluss messbar. Auf einem ähnlichen Niveau liegt auch die thermische Auswirkung von CO2, die durch Beimischung von He nochmals verbessert wird. Hier zeigt sich die gute Wärmeleitung von He, das alleine aber keinen signifikanten Einfluss hat. Dies lässt sich durch die Größe des He-Atoms erklären, das so klein ist, dass durch die Ventilatoren keine Volumenbewegung und somit auch keine erzwungene Konvektion eintreten. Dies wäre nur durch eine konstruktive Anpassung der Ventilatoren der Konvektionsanlage an He möglich. Erst durch die Beimischung von einem Trägergas findet eine Anfettung des He-Atoms und somit auch Volumenbewegung statt und die Wärmeübertragung wird verbessert. Warum sich mit CO2 trotz seiner im Vergleich zu N2 schlechteren Wärmeleitfähigkeit und Wärmekapazität ein recht gutes Ergebnis erzielen lässt, kann nicht in Gänze erklärt werden. Eine mögliche Erklärung ist das Gewicht von CO2 in Verbindung mit dessen Wärmekapazität. Das CO₂ nimmt die Wärmeenergie bei Temperaturen >250 °C auf (Temperatur der Heizspule in der Lüfterkassette), verbleibt nach dem Einströmen im Prozessraum und kann so mehr Energie speichern. Insofern steht auch im Prozessraum mehr Wärme zur Verfügung die kontinuierlich abgeben werden kann. Die anderen eingesetzten Gase entweichen hingegen sehr schnell aus der Konvektionslötanlage.

Ausbildung der Lötstellen

Die Charakterisierung der Verbindungsstellen selbst erfolgt durch optische Inspektion, Scherversuche und eine metallografische Analyse. Wie zu erwarten war zeigt die unter Umgebungsluft gelötete Verbindungsstelle im Vergleich zu den Lötstellen, die unter Schutzgasatmosphäre gelötet wurden, eine weniger glänzende Oberfläche. Kein sichtbarer Unterschied ist allerdings für den Einfluss der unterschiedlichen Schutzgase auf die Verbindungsstelle zu sehen. Für die InnoLot-Legierung lässt sich für keine der Atmosphären ein Unterschied erkennen.

Bei den Scherversuchen zeigen sich keine Auffälligkeiten der Prozessgase in Bezug auf die initiale Scherfestigkeit der Verbindungsstellen. Die im Mittel erreichbare maximale Scherkraft ist unabhängig von der Atmosphäre während des Reflowprozesses (Bild 144). Auch bei den Messungen nach 500 Zyklen bzw. 1000 Zyklen Temperaturschocktest ergeben sich keine signifikanten Unterschiede. Nicht graphisch dargestellt sind die Scherkräfte für die drei verschiedenen Endoberflächen, bei denen sich allerdings auch kein messbarer Einfluss mit Bezug zu der Lötatmosphäre zeigt. Eine deutliche Zunahme der Scherkraft ist hingegen durch die Lotlegierung InnoLot gegeben, wenngleich auch hier ein positiver bzw. negativer Einfluss des Prozessgases nicht nachweisbar ist.

Eine Analyse mittels Querschliffen zeigt keine Unterschiede in der metallografischen Struktur der Lötverbindung im Hinblick auf die verwendete Lötatmosphäre. Somit zeigt sich, dass weder ein positiver noch ein negativer Einfluss auf die Ausbildung der Lötstelle, deren mechanische Festigkeit oder deren Gefügeausbildung durch die Beimischung von He nachgewiesen werden kann. Somit besteht rein der Effekt der besseren Wärmeübertragung.



Bild 144: Scherkraftverlauf für Bauelemente CR 0603 im Ausgangszustand und nach 500 Zyklen bzw. 1000 Zyklen Temperaturschocktest (-65 °C/+155 °C) [106]

5.2 Unterstützung des Selbstzentrierungseffektes durch aktive Schwingerregung

Autoren: Dr. Schüßler, Florian¹; Pfeffer, Michael¹; Diehm, Rolf L.²; Dr. Keßling, Oliver³

¹ Lehrstuhl für Fertigungsautomatisierung und Produktionssystematik, FAU Erlangen-Nürnberg

² Seho GmbH

³ Lehrstuhl für Mikrotechnik und Medizingerätetechnik, Technische Universität München

5.2.1 Einleitung und Grundlagen

Der Selbstzentrierungseffekt ist ein bekannter und erwünschter Effekt während des Reflowprozesses, bei welchem im Moment des Aufschmelzens des Lotes die Bauelemente bezüglich der Lotpads zentriert werden (siehe Bild 1Bild 145).



Bild 145: Selbstzentriereffekt dargestellt an einem 0402 Bauelemente

Im Wesentlichen ist dieser Vorgang das Ergebnis der herabgesetzten Oberflächenspannung des geschmolzenen Lotes, wobei weitere Kräfte wie Reibungskräfte sowie Differenzkräfte der Oberflächenspannung beteiligt sind. Reibung, die durch eine gewisse Nicht-Koplanarität der Kontaktierungspartner vorhanden ist, kann dabei eine vollständige Selbstzentrierung erschweren, was zu Fehlern oder reduzierter Ausrichtung führen kann. Ebenso sind Differenzkräfte, die durch Inhomogenität der Temperatur bedingt sind, an Fehlplatzierungen von Bauteilen beispielsweise durch so genanntes "Schwimmen" beteiligt [50]. Damit Adhäsionskräfte wirksam werden können, muss das schmelzflüssige Lot die Oberflächen der zu verbindenden Werkstoffe benetzen, um die Legierungsbildung zwischen Grundwerkstoff und Lot auszulösen [49] [131]. Die Kraft zur Selbstausrichtung ist dabei maßgeblich durch die Oberflächenspannung bestimmt, mit dem Bestreben, die Oberfläche zu minimieren, um den niedrigsten Energiezustand zu erzielen, indem beispielsweise die Position größter Symmetrie erreicht ist.

Eine Veranschaulichung und quantitative Beurteilung der Wechselwirkungen der Atome ist durch die Betrachtung der Grenzflächenspannungen möglich. Im klassischen Modell der Benetzung verteilt sich die Flüssigkeit über die Oberfläche eines festen Werkstoffs, bis die freie Enthalpie aller Grenzflächen minimal wird, das heißt ein thermodynamisches Gleichgewicht vorhanden ist (vgl. Bild 146).



Bild 146: Grenzflächenspannung bei Benetzung einer ebenen Oberfläche durch einen flüssigen Tropfen [49]

Die Gleichgewichtsbedingung lautet nach der Young'schen Gleichung [49]:

$$\gamma_{SL} = \gamma_{SV} - (\gamma_{LV} \cdot \cos \Theta)$$

- γ_{SL} Grenzflächenspannung zwischen fester und flüssiger Phase
- γ_{SV} Oberflächenspannung des festen Werkstoffs
- γ_{LV} Oberflächenspannung der Flüssigkeit
- Θ Kontaktwinkel zwischen Flüssigkeitstropfen und fester Werkstoffoberfläche

Der Kontaktwinkel Θ gilt dabei als ein Maß für die Benetzbarkeit eines Festkörpers durch eine Flüssigkeit, wobei sich bei abnehmendem Kontaktwinkel die benetzte Fläche vergrößert. Die Triebkraft für die Ausbreitung der Flüssigkeit über die Fläche des Festkörpers entsteht durch die Differenz der Oberflächen- bzw. Grenzflächenspannungen von γ_{SV} und γ_{SL} .

Hier wird der Vorteil von klassischen bleihaltigen Lotpasten deutlich, denn Zinn-Blei-Legierungen besitzen eine vergleichsweise reduzierte Oberflächenspannung, die das Phänomen der Selbstzentrierung positiv unterstützt und Defekte in Form von nicht mittig bestückten Bauelementen wirksam beheben kann. Weiterhin beeinflusst die Benetzungs-Charakteristik den "Pullback"-Effekt von Legierungen, welcher die Fähigkeit beschreibt einen Versatz auszugleichen, der während des Pastendrucks entstanden ist. Die Umstellung auf bleifreie Verarbeitung verbunden mit immer kleiner werdenden Strukturen erfordert daher eine komplett neue Qualifizierung der Prozessparameter und Komponenten [131]. Dabei gilt es ganzheitlich alle Einflussgrößen zu untersuchen, die einen Effekt auf die Selbstzentrierung haben. In [4] wurden beispielsweise Auswirkungen der Bauteilgröße und definiertem Bauteilversatz sowie die Folgen von Pastendruckversatz untersucht. Ergänzend dazu wurden Versuche mit verschiedenen Pad-Geometrien (eckig, abgerundet, rund) durchgeführt und der Einfluss der Atmosphäre während des Reflowprozesses beobachtet, wobei Luft oder Stickstoff zum Einsatz kommt.

Eine Abschätzung der wirkenden Kräfte bei der Selbstzentrierung liefert eine Publikation von Krammer et. al. [53], in der ein Simulationsmodell zur Vorhersage der Selbstzentrierung aufgestellt wird. In der Veröffentlichung sind Werte angegeben, die im Größenbereich von

 $2,5 \times 10^{-9}$ N bis $3,5 \times 10^{-9}$ N liegen, was einen beachtlichen Wert darstellt, wenn beispielsweise das Gewicht von 0603-Komponenten mit 0,002 g gegenübergestellt wird. Es muss hierbei noch unterschieden werden, in welche Richtung die Kraft der Selbstzentrierung wirken kann. Bild 147 verdeutlicht die Überlegung der auftretenden Kräfte.



Bild 147: Wirkende Kräfte der Selbstzentrierung bei passiven Bauelementen [4]

Es wird ersichtlich, dass Bauteile mit vertikalem Versatz eine bessere Fähigkeit zur Selbstzentrierung besitzen als Bauelemente mit horizontalem Versatz. Dies liegt darin begründet, dass bei horizontalem Offset die auftretenden Kräfte der Oberflächenspannung in entgegengesetzter Richtung wirken und sich somit gegenseitig behindern. Bei vertikalem Offset greifen dagegen die Kräfte der Bauteil-Metallisierung in derselben Richtung an, was die Selbstausrichtung des Bauteils begünstigt.

Um die Selbstzentrierung optimal zu unterstützen, gilt es bei der bleifreien Verarbeitung kleinster Bauelemente alle Faktoren zu berücksichtigen, die einen Einfluss auf die Defektrate haben. Es muss daher mit erhöhter Genauigkeit produziert werden, denn bei Abmessungen von 01005-Komponenten mit 0,4 mm x 0,2 mm wird deutlich, dass bereits kleinste Abweichungen innerhalb der Prozesskette hohe Auswirkungen auf die Qualität des Ergebnisses haben, da weiterhin bei bleihaltigen Lotpasten trotz intensiver Forschung von besseren Verarbeitungseigenschaften ausgegangen werden kann als bei bleifreien Pasten. Die Veröffentlichung von Aravamudhan et. al. [4] unterstützt diese Forderung nach Genauigkeit bei der Verarbeitung, indem ein Ergebnis der Studie die Defektraten durch Pastendruckversatz doppelt so hoch einstuft als durch Bestückversatz in derselben Größenordnung. Kontrovers wird die Auswirkung von Bestück-Offset im Zusammenhang mit der Bauteilgröße beschrieben. Während [4] zu dem Ergebnis kommt, dass kleinere Bauelemente durch herabgesetzten Selbstzentriereffekt zu höherer Fehlerbildung neigen, beschreiben andere Publikationen, wie beispielsweise [118] oder [126], eine erhöhte Fähigkeit zur Selbstzentrierung aufgrund des geringeren Gewichtes von nur 0,04 mg bei 01005-Komponenten. In diesem Zusammenhang wird ebenfalls der Einsatz von Stickstoff während des Reflowprozesses diskutiert, wobei in Literatur, auf Konferenzen und in Diskussionen die verschiedensten Schlussfolgerungen vertreten wurden [101]. Es werden beispielsweise Ergebnisse in [4] vorgestellt, die keinen signifikanten Unterschied der Selbstzentrierung unter Luft- bzw. Stickstoff-Atmosphäre feststellen, sondern nur ein helleres Erscheinungsbildes bleifreier Lotstellen unter Stickstoff als vorteilhaft angesehen wird. Weitere Publikationen wie [85] empfehlen für eine erhöhte Selbstzentrierung das Löten unter Stickstoff-Umgebung. [4] [118] [126]

Es ist dabei Tatsache, dass kleinere zu verarbeitende Strukturen auch den Einsatz von Lotpasten höheren Typs und damit kleinerer Lotkugeln erfordern. Für den Effekt der Selbstzentrierung besteht die Voraussetzung einer optimalen Oberflächenbeschaffenheit der zu verbindenden Fügepartner Lotpad und Bauteil. Dies würde den Einsatz von Stickstoff rechtfertigen und könnte die Oxidation der vergrößerten Oberfläche des feineren Lotpulvers verhindern. Unbestritten dagegen ist die erhöhte Anforderung der Genauigkeit von Pastendruck und Bestückung, denn bereits kleinste Abweichungen in der Verarbeitung miniaturisierter Strukturen haben starke Auswirkungen auf die erreichbare Qualität des gesamten Fertigungsprozesses.

5.2.2 Aufbau und Durchführung der Experimente

Die folgenden Texte sind in Auszügen aus [106] entnommen.

Aufbau des Werkstückträgers

Eine Analyse verschiedener Anregungsprinzipien (z. B. Exzenter, Piezo, akustisch) hat ergeben, dass der Nachweis einer verbesserten Selbstzentrierung von elektrischen Bauelementen, unter möglichst hoher Flexibilität von Frequenz und Amplitude, durch eine Exzenterlösung geführt werden kann. Dies konnte durch Vorversuche bestätigt werden. Der Werkstückträger für die Versuche zur Schwingungsanregung ist in Bild 148 dargestellt. Bei der Konstruktion wurde auf eine möglichst niedrige Bauhöhe geachtet, um den gesamten Aufbau auf dem Transportband einer Reflowanlage mitführen zu können.

Der Werkstückträger besteht neben Rahmen und Leiterplattenaufnahme aus einem elektrischen Antrieb, der für die Erzeugung der Schwingerregung eingesetzt wird, Bild 148. Die komplette Steuerungselektronik (Regler, Empfänger und Stromversorgung) ist durch eine wärmeisolierende Abdeckung vor der auftretenden Hitze im Reflowofen geschützt. Die Amplitude der Schwingung kann durch Einsätze dreier Exzentrizität zwischen 0,1 mm und 0,3 mm variiert werden.

Die Analyse der Schwingungsfrequenz für die drei Amplituden 0,1 mm, 0,2 mm und 0,3 mm zeigt, dass die Motorkennlinie zunächst linear verläuft, bei höheren Frequenzen allerdings abflacht. Die untere erreichbare Frequenz, in der der Motor erstmals auf das Signal des Reglers anläuft, weist mit etwa 100 Hz einen vergleichsweise hohen Wert auf, was in der Komponentenauswahl und der maximal zulässigen Größe des Antriebs begründet liegt. Bei dem eingesetzten Motor handelt es sich um einen bürstenlosen Elektromotor als Innenläufer-Ausführung, der laut Datenblatt 4000 Umdrehungen pro Volt liefert. Trotz des Einsatzes einer reduzierten Versorgungsspannung, um die Leistung des Motors im Ausgangszustand zu reduzieren, liegt der untere Grenzwert für die Schwingungsfrequenz bei 100 Hz, wobei hier zusätzlich starke Schwankungen in der Drehzahl auftreten. Der obere Grenzwert für die Frequenz liegt bei 250 Hz, da bei höheren Werten die Überdimensionierung des Motors anhand großer Vibration des gesamten Aufbaus deutlich wird. Aufgrund der Analyse des Aufbaus liegt der darstellbare Frequenzbereich demnach zwischen 150 Hz und 250 Hz. Für diesen Frequenzbereich wurden weiterhin keine Reso-

nanzerscheinungen am Werkstückträger festgestellt, was sich in einem starken Aufschwingen der Leiterplatte in vertikaler Richtung bemerkbar machen würde.



Bild 148: Werkstückträger zur aktiven Schwingerregung mit Skizze (oben links) und Anregungsprinzip (oben rechts)

Um auch eine Aussage über die Gleichmäßigkeit der Schwingung treffen zu können, wurde das Verhalten der Schwingung über einen Zeitraum von 30 Sekunden bei eingespannter Leiterplatte für die Frequenzen 150 Hz, 200 Hz und 250 Hz für die drei Amplituden aufgezeichnet. Aus dem Verlauf der aufgezeichneten Drehzahl ist ersichtlich, dass ein ausreichendes Konstanz der vorgegebenen Frequenz gegeben ist und zunächst auf eine zusätzliche Regelung des Elektromotors verzichtet werden kann. Das Startverhalten bis zum Erreichen der Solldrehzahl ist mit etwa einer halben Sekunde beschrieben.

Prozessschritte und Vermessung der Bauelemente

Das Layout für die Experimente zeigt Bild 149. Auf dem Schaltungsträger können die Bauelementgrößen CC 0603, CC 0402 und CC 0201 verarbeitet werden. Pro Bauelementtyp sind jeweils zwei Felder mit je 28 Bauelementen vorgesehen, welche in ihrer Orientierung "längs" und "quer" zur Wirkrichtung der Schwingerregung ausgerichtet sind. Ein drittes Feld erlaubt zu jeder Bauteilgröße eine Beurteilung des Einflusses der Pastenmenge, wobei für jeweils 14 Bauelemente die Pastenmenge um 10 % reduziert bzw. erhöht wird. Zusätzlich sind auf der Leiterplatte neun Strukturfelder aufgebracht, welche Rückschlüsse auf die erzielte Benetzung erkennen las-





Bild 149: Verwendetes Design der Leiterplatte zur Untersuchung verschiedener Einflussgrößen

Für alle Versuche wurden RoHS-konforme Bauteile des identischen Typs eingesetzt, um eine zusätzliche Einflussgröße auszuschließen. Die Wahl der verarbeiteten Bauteile fiel auf Standard-Kondensatoren mit einem Wert von 100 pF, was in der deutlich erleichterten optischen Erkennung bei der Vermessung der Bauelemente begründet liegt. Die Abmessungen der leiterplattenseitigen Anschlusspads sind in Bild 150 aufgeführt. Für alle verarbeiteten Leiterplatten wurde eine Lotpaste der Zusammensetzung Sn96.5Ag3Cu0.5 der Klasse drei mit einem Schmelzpunkt von 217 °C verwendet.



Bild 150: Lotpad-Abmessungen der verwendeten Leiterplatte

Auch das Lotpastenvolumen beeinflusst das Einschwimmen elektronischer Bauelemente. Generell wird die Fläche der leiterplattenseitigen Anschlüsse zu 100 % mit Lotpaste bedruckt. Für jeweils 14 Bauelemente einer Größe erfolgt zudem eine Variation des Pastenvolumens um ± 10 %. Für den Schablonendruck kommt eine lasergeschnittene Edelstahlschablone mit einer Stärke von 125 µm zum Einsatz. Das tatsächlich übertragene Lotpastenvolumen wird mit Hilfe eines 3D-Pasteninspektionssystems (KohYoung KY-3020T) für alle drei Endoberflächen überprüft. Die Ergebnisse sind in Bild 151 dargestellt. Das Diagramm zeigt, dass für alle Bauelementgrößen durch die beschriebene Variation der Schablonenöffnung signifikant mehr bzw. weniger Paste übertragen lässt. Der Schablonendruck wird mit einer DEK Horizon 01i durchgeführt, die eine Positioniergenauigkeit von ± 25 µm besitzt. Nach jeweils fünf Druckvorgängen erfolgt ein Reinigungszyklus. Der anschließende Initialdruck geht nicht in die Auswertung ein.



Bild 151: Vermessung des Pastenvolumens für die drei Bauelementgrößen CC 0603, CC 0402 und CC 0201 [106]

Die Bestückgenauigkeit ist essentiell für die Durchführung und Auswertung der Versuche, da nur mit einer möglichst genauen Bestückung das Einschwimmverhalten der Bauelemente bestimmt und verglichen werden kann. Mit der verwendeten Bestückanlage Siplace S-23 der Firma Siemens lässt sich theoretisch eine Bestückgenauigkeit von 67,5 µm bei 3 σ erreichen. Die Bestückgenauigkeit wurde praktisch an jeweils zwei Leiterplatten je Metallisierung chemisch Zinn, Nickel-Gold und Entek bestimmt, wobei die Bauelemente mit einem definierten Bestückversatz von 50 % platziert und anschließend vermessen wurden. Das folgende Bild 152 stellt den programmierten Bestückversatz von Bauelementen nach Orientierung auf der Leiterplatte dar. Bei

0,040

0,034

CC0402

CC0201

der Bestückung tritt trotz Kalibrierung des Automaten ein systematischer Bestückversatz auf, dessen Mittelwerte ebenfalls in Bild 152 aufgeführt sind. Die Standardabweichung liegt innerhalb der angegebenen Datenblatt-Werte, wobei insgesamt eine höhere Abweichung der kleinsten Baugröße CC0201 festzustellen ist.



Bild 152: Versatzrichtung "längs" bzw. "±10% Paste" (a), Versatzrichtung "quer" (b) und Bestimmung der Bestückgenauigkeit (unten)

0,015

0,022

-0,045

-0,036

0,013

0,020

Zur Ermittlung des Verlaufes der Temperatur wurde eine Leiterplatte mit fünf Thermoelementen ausgestattet und durch den Reflowofen gefahren. Zusätzlich erfolgt die Temperaturmessung an Motor, Empfänger und Batterie, um eine mögliche Überhitzung dieser temperaturkritischen Komponenten zu überprüfen. Die an den sieben Messpunkten bestimmten Temperaturprofile zeigt Bild 153. Basis der Temperaturprofilierung war ein Sattelprofil für bleifreie Lotpaste, welches nach Empfehlung des Lotpastenherstellers vor allem hinsichtlich der maximalen Temperatur, der Zeit über Liquidus und der Gesamtzeit des Reflowprozesses optimiert wurde. Die Zeit über dem Schmelzpunkt wurde mit ca. 80 Sekunden auf das obere Ende innerhalb des empfohlenen Zeitbereiches eingestellt. Damit steht für die aktive Unterstützung des Selbstzentriereffekts unabhängig von der Dauer ein ausreichendes Zeitfenster zur Verfügung, wenn eine Schwingerregung von maximal 30 Sekunden zu Grunde gelegt wird. Mit einem Mittelwert von maximal 246 °C liegt die Temperatur innerhalb der Empfehlung für die Peakzone, die mit 230 °C bis 250 °C Temperatureinbringung beschrieben wird. Die Temperatur des Motors ist mit etwa 70 °C am Ende des Prozesses trotz unbelastetem Zustand als unkritisch zu bewerten, da dieser laut Datenblatt auf eine Maximaltemperatur von 130 °C spezifiziert ist. Der 6-Volt Bleigelakku, der für die Stromversorgung eingesetzt wurde, erwärmt sich nach dem Reflowprozess bis auf 50 °C.

Die Vermessung der Bauelemente erfolgt für eine höhere Genauigkeit manuelle, da nur so eine exakte und gleichmäßige Bestimmung der Bauelementgeometrie möglich ist. Wie in Bild 154 ersichtlich ist, befindet sich in allen vier Ecken jeweils eine Referenzmarke. Nach Bestimmung der Lage der Leiterplatte folgt das Vermessen der Bauteile. Die Lagebestimmung der einzelnen Bauteile erfolgt in zwei Schritten – der Bestimmung der Sollposition und der Ermittlung der Istposition.



Bild 153: Temperaturprofilschar des ermittelten Reflowprofils

In einem ersten Schritt wird für jedes Bauteil die Sollposition ermittelt. Diese wird durch die Berechnung des Mittelpunktes aus den umliegenden Kreismarkierungen 1 bis 4 (vgl. Bild 154) individuell für jedes Bauteil berechnet, um größtmögliche Genauigkeit zu erzielen. Im zweiten Schritt der Vermessung erfolgt die Erfassung des eigentlichen Bauteils, wobei manuell die vier Eckpunkte des Übergangs von Bauteilkörper zu Metallisierung zur Bildung der Position herangezogen werden. Wie aus Bild 154 ersichtlich, werden die erfassten Punkte 5 bis 8 zur Bestimmung von Position und Winkellage herangezogen. Für die Positionsbestimmung wird zunächst der Schnittpunkt 9 der beiden Diagonalen gebildet, was dem gemessenen Mittelpunkt des Bauteils entspricht. Durch einen Vergleich der Sollposition zur ermittelten Bauteilposition wird die Differenz als X- bzw. Y-Versatz ausgegeben. Die Verdrehung des Bauteils lässt sich ebenfalls durch die Punkte 5 bis 8 errechnen. Dabei wird die Mittelgerade "e" durch die beiden Geraden

"a" und "b" gebildet und die Winkeldifferenz zum anfangs gebildeten Koordinatensystem der Leiterplatte ausgegeben.



Bild 154: Durch die Erfassung von vier Kreiskonturen wird für jedes Bauelement die Sollposition bestimmt, aus der die Bauteilposition und dessen Winkellage bestimmt werden kann

Grundlegende Vorversuche und Hochgeschwindigkeitsaufnahmen

Erste exemplarische Untersuchungen zum Einfluss der Amplitude zeigen deren starke Auswirkung auf das Einschwimmverhalten der Bauelemente. Für eine Amplitude der Schwingung von 0,3 mm mit einer Dauer der Anregung von 30 Sekunden bei mittlerer Frequenz von 200 Hz war lediglich ein stark negativer Effekt zu beobachten. Auch eine Reduzierung der Exzentrizität auf 0,2 mm bei sonst gleichen Parametern zeigt für CC0603-Bauelemente keinen positiven Effekt auf die Selbstzentrierung der Bauelemente. Daraus lässt sich ableiten, dass Amplituden von 0,3 mm sowie 0,2 mm bei CC0603-Bauelementen bereits deutlich zu groß sind. Aufgrund der Ergebnisse der Vorversuche wird die Amplitude für die eigentliche Versuchsreihe auf 0,1 mm festgelegt.

Des Weiteren wurden im Vorfeld Aufnahmen mit einer Hochgeschwindigkeitskamera durchgeführt, um das Verhalten von Bauteilen sowie geschmolzener Lotpaste unter Schwingungseinwir-

kung beurteilen zu können. Für alle Bildaufzeichnungen wurde durch eine lokale Wärmequelle mit Konvektion die Lotpaste aufgeschmolzen. Dabei sind zwei parameterabhängige Effekte zu beobachten. Zum einen sind Tombstones (aufgerichtete Bauelemente) zu sehen, die trotz Vibration nicht ihre Position verlieren, obwohl sie nur von einem Lotdepot gehalten werden. Andererseits ist bei Bauelementen zunächst ein unzureichendes Einschwimmen zu erkennen, dass durch Schwingungserregung verbessert wird. Aufnahmen von Lotpastendepots unter Schwingerregung zeigen leichte wellenförmige Bewegungen der Paste. Allerdings findet kein turbulentes Aufschwingen des Lotes statt, die geschmolzene Lotpaste verbleibt vielmehr in ihrer Form weitgehend erhalten.

Versuchsplanung der Experimente

Auf Basis der Vorversuche lassen sich die Parameter Frequenz und Dauer der Schwingerregung als Hauptfaktoren bestimmen. Daraus ergibt sich der Versuchsplan mit den ermittelten Faktorstufen wie folgt (Tabelle 42). Um eine zusätzliche Vergleichsmöglichkeit zwischen den verarbeiteten Leiterplatten zu erhalten, wurde jede Faktorkombination doppelt ausgeführt. Zur Beurteilung des Verhaltens zwischen den Eckpunkten des Versuchsplans, wurden zusätzlich Versuche mit mittleren Einstellungen durchgeführt, welche als Zentralpunkte bezeichnet werden. Auch die drei Metallisierungen finden für den Versuchsplan Berücksichtigung. Die Versuche wurden in zufällige Reihenfolge (Randomisierung) durchgeführt.

Steuergröße		
Frequenz	Dauer	
150 Hz	1 Sekunde	
150 Hz	1 Sekunde	
250 Hz	10 Sekunden	
250 Hz	10 Sekunden	
200 Hz	5.5 Sekunden	

Tabelle 42: Vollständig faktorieller Versuchsplan der zwei Faktoren mit Zentralpunkt

In zusätzlichen Versuchen sind weitere Parameter des Aufbaus untersucht worden. Da die größeren Exzentrizitäten 0,2 mm und 0,3 mm in den Vorversuchen mit dem gegebenen Aufbau keine Variation der Frequenz und der Dauer zulassen, wurde jeweils eine Leiterplatte mit einer Sekunde Schwinganregung bei niedriger Frequenz gefertigt, um dennoch den möglichen Einfluss der Amplitude bei diesen Parametern beurteilen zu können. Um eine vollständige Auswertung zu ermöglichen, wurden als Referenz drei Leiterplatten je Metallisierung ohne Schwingerregung verlötet. Ebenfalls ohne aktive Unterstützung sind drei weitere Leiterplatten mit einem deutlich erhöhten Bestückversatz von 75% gefertigt worden (Tabelle 43).

Oberfläche	Bestückversatz	Amplitude	Frequenz	Dauer
Chem. Sn	50 %	-	-	-
Entek	50 %	-	-	-
NiAu	50 %	-	-	-
Chem. Sn	75 %	-	-	-
Entek	75 %	-	-	-
NiAu	75 %	-	-	-

Tabelle 43: Zusätzliche Versuche ermöglichen eine vollständige Beurteilung

5.2.3 Diskussion der Ergebnisse

In Tabelle 44 sind nochmals alle untersuchten Parameter aufgeführt. Im Folgenden ist dann eine Auswertung einzelner Faktoren durch vergleichende Betrachtung vorgenommen worden. Zunächst wird als Referenz das Einschwimmen ohne Schwingerregung dargestellt, um eine Vergleichsmöglichkeit zur aktiven Schwingerregung aufzuzeigen. Anschließend wird für jede Bauteilgröße eine Beurteilung des Einflusses der Schwingerregung mit Variation der Parameter durchgeführt.

Tabelle 44: Übersicht der möglichen Faktoren

Faktor		Mögliche Stufen	
Amplitude	0,1 mm	0,2 mm	0,3 mm
Frequenz	150 Hz	200 Hz	250 Hz
Dauer	1 s	5,5 s	10 s
Bauteilgröße	CC0201	CC0402	CC0603
Metallisierung	Entek	Chem. Sn	NiAu
Orientierung	Längs	Quer	
Pastenbedruckung	-10 %	100 %	+10 %

Selbstzentrierung der Bauteile ohne aktive Schwingerregung

Mit einer Ausgangslage von 0,5 mm von der Sollposition entfernt, weisen die 0603-Komponenten eine durchgängig hohe Selbstzentrierfähigkeit auf. Dennoch ist ersichtlich, dass auf keiner Oberflächenmetallisierung eine optimale Ausrichtung erreicht wird. Gemäß den Aus-

154

führungen zu den auftretenden Selbstzentrierungskräften aus Kapitel 5.2.1, ist ein Ausgleich der Bestückposition in der gleichgerichteten Wirkrichtung der Kräfte deutlich mehr ausgeprägt. Die entgegen gerichteten Kräfte behindern sich so stark, dass der systematische Bestückversatz noch messbar ist und nicht ausgeglichen werden kann. Demnach besitzen Bauteile auf den Feldern längs und $\pm 10\%$ Paste einen positiven Mittelwert des X-Versatzes bzw. negativen Y-Versatz auf den Feldern quer, wie folgende Abbildung zeigt.



Bild 155: Einschwimmen von CC0603-Bauelementen bei 50% Bestückversatz

Der Einfluss der Oberfläche zeigt entgegen den Erwartungen keinen Vorteil bei der Selbstausrichtung auf der NiAu-Metallisierung. Auch die Streuung der eingeschwommenen Bauteile weist auf keiner Oberfläche signifikante Schwächen auf. Das Erscheinungsbild der Pastenvariation ergibt auf den ersten Blick keinen Unterschied auf das Einschwimmverhalten der Bauteile bezogen auf die Lotpastenmenge. Bei genauer Betrachtung der Mittelwerte der Bauteilpositionen ist

dennoch ein leichter Unterschied erkennbar, wonach Bauteile mit +10% Lotpaste tendenziell eine höhere Neigung zur Selbstzentrierung aufweisen. Die Differenz der Mittelwerte, die durch Pastenvariation hervorgerufen wurden, liegt dabei im Maximalfall bei 0,043 mm.

Leiterplatte.	А	В	С
X-Versatz in µm	19,526	2,609	13,555
Y-Versatz in μm	25,714	43,404	35,851

Tabelle 45: CC0603 – Differenz der Mittelwerte zwischen "+10%" und "-10%" Pastenvolumen

Das Verhalten der CC0402-Komponenten zeigt ebenfalls kein vollständiges Einschwimmen in die Sollposition. Vielmehr ist eine schlechtere Selbstausrichtung als bei CC0603-Bauelementen festzustellen, verglichen mit dem kleineren Bestückversatz von 0,35 mm der CC0402-Bauteile. Allerdings zeigen sich hier deutlichere Abhängigkeiten von der verwendeten Oberfläche. Während die Metallisierung mit chem. Sn die vergleichsweise besten Ergebnisse aufweist, bewegt sich OSP in mittlerer Position und NiAu am schlechtesten. Da NiAu-Oberflächen im Allgemeinen sehr gute Benetzungseigenschaften aufweisen, ist für die Selbstausrichtung nicht nur die Oberfläche, sondern in hohem Maße die verwendeten Lotpaste verantwortlich. Eine Steigerung der Lotpaste um 10 % hat auch bei dieser Bauteilgröße einen positiven Einfluss auf die Selbstzentrierung. So ist der Mittelwert der Bauteile mit erhöhter Lotpastenmenge näher an der Sollposition. Hier ist ebenfalls eine stärkere Streuung auf der NiAu-Metallisierung auffällig.

Tabelle 46: CC0402 – Differenz der Mittelwerte zwischen "+10%" und "-10%" Pastenvolumen

Leiterplatten-Nr.	А	В	С
X-Versatz in μm	0,095	11,200	3,110
Y-Versatz in μm	24,069	26,320	32,820



Bild 156: Einschwimmen von CC0402-Bauelementen bei 50% Bestückversatz

Die vergleichsweise schwächste Neigung zur Selbstzentrierung weisen die Bauteile der Größe CC0201 auf. Mit einer Ausgangsposition von 0,21 mm entfernt von der Sollposition lässt sich keine ausreichende Selbstausrichtung erkennen, es wurde lediglich ein Weg um etwa 0,1 mm zurückgelegt. Damit stehen die Beobachtungen im Gegensatz zu Darstellungen der angesprochenen Veröffentlichungen, wonach kleinere Bauelemente durch ihr geringes Eigengewicht eine bessere Selbstzentrierfähigkeit besitzen. Die unterschiedlichen Oberflächenmetallisierungen haben keinen signifikanten Einfluss auf das Ergebnis, allerdings ist eine geringe Streuung bei OSP sowie vereinzelt vollständig eingeschwommene Bauteile bei chem. Sn zu beobachten.



Bild 157: Einschwimmen von CC0201-Bauelementen bei 50% Bestückversatz

Im Gegensatz zu den anderen Bauteilgrößen ist bei den verarbeiteten CC0201-Komponenten keine eindeutige Tendenz bei der Variation der Lotpastendepots erkennbar. Folgende Tabelle zeigt keine signifikanten Unterschiede der Pastenvariation.

Tabelle 47: CC0201 – Differenz der Mittelwerte zwischen "+10%" und "-10%" Pastenvolumen

Leiterplatten-Nr.	А	В	С
X-Versatz in µm	0,580	0,204	0,000316
Y-Versatz [mm]	13,388	0,526	1,160

Beurteilung des Einflusses der Schwingerregung

Wie bereits zu Beginn dieses Kapitels erläutert, wird die Bewertung der Einflüsse vergleichend vorgenommen. Hierzu wird für jede Bauteilgröße eine Einstellung der Parameter gesucht, die eine optimale Neuausrichtung ermöglicht. Ausgehend von dieser Basis werden die Einstellungen für weitere Analysen variiert, wobei alle Faktoren aus Tabelle 44 berücksichtigt werden. Auf diese Weise ist es möglich das Verhalten der jeweiligen Bauteilgröße auf Veränderung der Parameter zu untersuchen, um eine eventuelle Tendenz herausarbeiten zu können.

Der Einfluss einer aktiv eingebrachten Schwingerregung fällt bei Bauelementen der Größe CC0603 vergleichsweise groß aus. Bei diesen Komponenten ist es leicht möglich, eine Positionsveränderung während der Peakphase hervorzurufen. Dennoch ist eine optimale Ausrichtung der Bauteile keineswegs unkritisch, denn ein positiver Effekt der Schwingung liegt sehr nahe an einem Verstreuen der Bauteile durch die Vibration.

Anhand der CC0603-Komponenten zeigt sich der Einfluss der Amplitude am deutlichsten, weshalb zunächst dieser Zusammenhang dargestellt ist (Bild 158). Obwohl nach den Vorversuchen die beiden Exzentrizitäten 0,2 mm und 0,3 mm nur bei niedriger Frequenz und einer Sekunde Schwingungsdauer verarbeitet wurden, zeigen sich mit steigender Amplitude auch bei diesen Parametern bereits schlechtere Ergebnisse wie folgende Abbildung verdeutlicht.



Bild 158: Das Feld CC0603 "quer" zeigt die starke Auswirkung der Amplitude bereits bei 150 Hz mit einer Sekunde Schwingungsdauer

Obwohl die Amplitude einen weniger starken Einfluss auf die CC0603-Bauelemente in Richtung längs besitzt, ist auch hier ein verschlechtertes Erscheinungsbild erkennbar. Aus diesem Grund ist eine Abnahme des positiven Einschwimmverhaltens bei Vergrößerung der Amplitude festzustellen. Demnach ist schon eine kleine Exzentrizität ausreichend, um die massereichen CC0603-Bauelemente zu bewegen.

Entsprechend stellen sich die Parameter dar, mit denen gute Ergebnisse bei CC603-Bauelementen erzielt wurden. So zeigt sich unabhängig von der verwendeten Oberfläche ein po-

sitiver Effekt beim Einsatz der Amplitude 0,1 mm mit einer kurzen Schwingungsdauer von einer Sekunde bei niedriger Frequenz mit 150 Hz. Bild 159 zeigt ausgewählte Felder, die mit diesen Parametern verarbeitet wurden.



Bild 159: Ein positiver Einfluss der Schwingerregung ist mit der Amplitude von 0,1 mm bei einer Sekunde Schwingungsdauer mit 150 Hz festzustellen

Es ist bei Betrachtung aller Leiterplatten deutlich, dass eine erhöhte Frequenz mehr Einfluss auf das Ergebnis aufweist, als eine längere Schwingungsdauer. Während eine Schwingerregung von zehn Sekunden bei 150 Hz zwar keine optimale Ausrichtung bedingt, ergeben sich dennoch weniger Fehler beim Verarbeiten mit diesen Parametern. Demgegenüber ist das Verarbeiten mit 250 Hz und einer Sekunde Schwingerregung als vergleichsweise kritischer anzusehen. Das Erhöhen beider Parameter auf die oberen Faktorstufen erzeugt bei dieser Bauteilgröße keine brauchbaren Ergebnisse, wobei CC0603-Komponenten teilweise komplett von der Leiterplatte abfliegen. Demnach ist das Verarbeiten mit zehn Sekunden Schwingerregung bei 250 Hz für CC0603-Bauelemente ungeeignet und lässt für diese Bauteilgröße auf eine niedrige Frequenz bzw. niedrige Dauer der Vibration schließen.

Die Unterscheidung nach Pastenvolumen weist keine signifikanten Unterschiede bei CC0603-Bauelementen auf. Der Einfluss, der durch die Schwingerregung hervorgerufen wird, ist durch die vorhandene Streuung der vermessenen Bauelemente allerdings als so groß einzustufen, dass ein möglicher Effekt der Pastenvariation auf diese Weise nicht sicher erfasst werden kann. Vereinzelt lässt sich die Neigung feststellen, dass ein erhöhtes Pastenvolumen bei Verarbeitung mit hoher Frequenz und langer Schwingungsdauer Fehlerbilder verhindern kann. Trotz großer Streuung können Bauteile im vergrößerten Lotdepot besser gehalten werden und ein Verfliegen von Bauelementen wird verhindert.

Ein signifikanter Einfluss der verwendeten Oberfläche lässt sich ebenfalls nur schwer nachweisen. Auch hier ist der Effekt der Verarbeitungsparameter wesentlich größer einzustufen, als der Unterschied, der durch die eingesetzte Metallisierung hervorgerufen wird. Deutliche Auffälligkeiten zeigen sich dagegen in der Ausrichtung längs und quer der Bauteile. So ist über die Ver-

suchsreihe hinweg eine vergleichsweise erhöhte Bewegung der Komponenten in Querrichtung auffällig. Es kann somit auf einen größeren Effekt der Schwingungsanregung geschlossen werden, wenn die Richtung der Schwinganregung senkrecht auf das Bauteil wirkt. Diese Beobachtung deckt sich mit den Ausführungen in Kapitel 5.2.1, wonach jene Selbstzentrierkräfte durch die Schwingung unterstützt werden, die gleichgerichtet an der Bauteilmetallisierung wirken.

Bauelemente der Größe CC0402 sind als vergleichsweise unkritisch im Hinblick auf Fehlerbildung durch die aktiv eingebrachte Schwingerregung zu bewerten. So wurden nur vier fehlerhafte Bauelemente in der gesamten Versuchsreihe mit über 2500 verarbeiteten CC0402 Bauteilen gemessen. Ein gutes Selbstzentrierverhalten mit der festgelegten 0,1 mm Amplitude lässt sich mit einer aktiven Unterstützung von 250 Hz bei einer Sekunde Schwingerregung feststellen. Bei dieser Einstellung der Steuergrößen wurden durchwegs gute Ergebnisse erzielt, wobei eine deutlich geringere Streuung im Vergleich zu den variierten Parametern festzustellen ist. Aus diesem Grund wurde diese Einstellung für CC0402-Bauelemente als Basis gewählt.



Bild 160: Gute Ergebnisse mit einer Amplitude von 0,1 mm und 250 Hz bei einer Sekunde Schwingerregung für CC0402

Der Mittelwert der Felder quer zeigt mit diesen Parametern ebenfalls gute Werte, allerdings tritt hier eine höhere Streuung im Vergleich zu längsgerichteten Feldern auf. Ebenso wie bei CC0603-Komponenten ist die Wirkung der eingebrachten Vibration auf den Feldern quer stärker ausgeprägt.

Im Gegensatz zu den größeren CC0603-Komponenten zeigen CC0402-Bauteile kaum eine veränderte Selbstzentrierung auf eine Impulsanregung bei 150 Hz mit einer Sekunde Dauer. Hier ist kaum ein Unterschied zu Leiterplatten festzustellen, die ohne aktive Schwingerregung verarbeitet wurden. Eine Erhöhung der Schwingungsdauer auf zehn Sekunden mit einer Frequenz von ebenfalls 150 Hz zeigt bereits ein besseres Ausrichtungsverhalten. Allerdings ist dieses als ungenügend zu bewerten, da kein vollständiges Einschwimmen erreicht wird. Damit lässt sich auf eine höhere notwendige Frequenz schließen, die für die Schwingungsanregung bei CC0402 Bauteilen notwendig ist.

Mit der Frequenz von 250 Hz bei einer Schwingungsdauer von zehn Sekunden wurden vereinzelt ebenfalls gute Ergebnisse erzielt. Ein Unterschied in der Ausrichtung längs bzw. quer ist dabei deutlicher erkennbar, wobei eine vergleichsweise geringe Streuung trotz der erhöhten Werte der Faktorstufen festzuhalten ist. Ein signifikanter Unterschied der Oberfläche lässt sich nicht nachweisen. Es ist in einzelnen Versuchspunkten ein vergleichsweise schmales Band der Streuung bei NiAu-Metallisierungen erkennbar, was auf gute Fähigkeiten der Selbstausrichtung trotz entgegenwirkender Kräfte in Kombination mit einer NiAu-Oberfläche schließen lässt. Allerdings ist gleichzeitig eine leicht abgeschwächte Neigung des vollständigen Einschwimmens bei dieser Oberfläche zu beobachten. Die OSP-Oberfläche weist hierbei durchwegs gute Ergebnisse auf, die chem.Sn-Metallisierung ein geringfügig schlechteres Erscheinungsbild. Bei der Pastenvariation zeigt sich dagegen unabhängig von der Parametereinstellung ein eindeutiger Effekt bei CC0402-Komponenten. Eine Verbesserung der Selbstzentrierung wurde dabei durchwegs mit einem +10 % erhöhten Pastenvolumen erreicht.

Mit dem ermittelten Wert für gute Ergebnisse von 250 Hz bei einer Sekunde Schwingerregung benötigen CC0402 Bauelemente damit eine höhere Frequenz als CC0603 Bauelemente, was auch durch eine höhere Amplitude nicht ausgeglichen werden kann. So zeigen die zusätzlichen Versuche mit einer Exzentrizität von 0,2 mm bzw. 0,3 mm bei 150 Hz mit einer Sekunde Schwingungsdauer keinen signifikanten Unterschied zu der 0,1 mm Amplitude aus der Versuchsreihe.

Die aktiv eingebrachte Schwingerregung zeigte bei CC0201 Bauteilen die geringste Auswirkung auf die Selbstzentrierung. Diese Beobachtung entspricht damit den Versuchen ohne eingebrachte Vibration, nach denen die verarbeiteten CC0201 Komponenten ebenfalls die geringste Neigung zur Selbstausrichtung aufweisen. Ein vollständiges Ablösen der Bauelemente durch die eingebrachte Schwingerregung ist ebenso wie bei CC0402 Komponenten nicht festzustellen. Eine Parameter-Empfehlung für verbesserte Selbstzentrierung der CC0201 Bauelemente wurde im Rahmen des Versuchsplanes nicht gefunden. Dabei kann wie bei CC0402 Komponenten eine Schwingungsanregung von 150 Hz mit einer Sekunde Dauer ausgeschlossen werden. Hier findet ebenso eine ungenügende Selbstausrichtung statt, die sich kaum unterscheidet zu den Versuchen ohne Vibration.

Eine Veränderung der Einstellungen zeigt sowohl bei vergrößerter Frequenz wie auch bei erhöhter Schwingungsdauer keine signifikante Verbesserung der Selbstausrichtung. Dagegen lässt sich lediglich mit erhöhter Schwingungsdauer eine Zunahme des Aufkantens einzelner Bauelemente beobachten. Die Variation des Pastenvolumens zeigt im Gegensatz zu CC0402 Bauelementen einen weniger deutlichen Effekt. Dabei ist aber tendenziell ein verbessertes Einschwimmen bei +10 % Lotpaste zu beobachten, wobei gleichsam die Neigung zur Fehlerbildung durch Aufkanten abnimmt. Durch die unzureichende Reaktion der Bauelemente auf die eingebrachte Schwingung lässt sich ebenfalls kein signifikanter Unterschied in der Oberflächenmetallisierung feststellen.

Eine leicht erhöhte Streuung der Bauteilpositionen bei den Feldern quer mit dem äußeren Versuchspunkt 250 Hz bei zehn Sekunden Schwingungsdauer lässt auf eine höhere Frequenz schließen, die für einen positiven Effekt auf die Selbstzentrierung notwendig ist.

5.2.4 Konzepte zur Anlagenumsetzung

Für eine industrielle Umsetzung und die Nutzung der aktiven Schwingungsanregung in der Flachbaugruppenfertigung, wurden zwei Ansätze entwickelt und die entsprechende Anlagentechnik umgesetzt. Die realisierten Konzepte umfassen zum einen die stationäre Maschinenintegration der Schwingungsanregung in einer Konvektionslötanlage und zum anderen eine Werkstückträgerlösung.

Bei der Realisierung beider Konzepte muss insbesondere die Herausforderung der hohen Temperaturbelastung der eingesetzten Komponenten und Elektronik in der Prozesskammer des Reflowofens berücksichtigt werden. Dies kann durch eine ausreichende Temperaturstabilität der zu verwendenden Komponenten und durch einen Schutz der Elektronik bzw. der Aktorik mit Hilfe einer thermischen Isolierung erfolgen.

Maschinenintegration

Das Konzept der Maschinenintegration basiert auf einer modifizierten Reflowlötanlage, in dessen Prozesskammer innerhalb der Peakzone ein System für die Schwingungsanregung der Leiterplatte integriert wurde (siehe Bild 161). Dieses System besteht aus einem Mechanismus für das Greifen und Anheben der Leiterplatte und einer Aktorik, die eine Schwingung der Leiterplatte mit einer definierten Frequenz und Amplitude realisiert. Die dafür notwendige Elektronik und Aktorik ist auf Grund des thermischen Schutzes außerhalb der Prozesskammer angebracht. Dadurch besitzt das realisierte Konzept eine dauerhafte Temperaturstabilität bis zu Temperaturen von 320 °C. Der Greifermechanismus ist direkt über Durchführungen in der Prozesskammerwand an die Aktorik gekoppelt, so dass die erzeugte Schwingung nur mit einer geringen Dämpfung auf die Leiterplatte übertragen wird. Die Schwingung wird von einem elektromagnetischen Aktor erzeugt, der mit einem definiertem Zeit- und Frequenz verhalten gesteuert wird, wobei die lineare Schwingungsanregung sowohl in Transportrichtung als auch quer zu dieser erfolgen kann.

Der Prozessablauf der Schwingungsanregung beginnt mit dem Erfassen der exakten Position der Leiterplatte auf dem Transportband mit Hilfe eines Sensors. Erreicht die Leiterplatte die Position des Greifermechanismus wird die Leiterplatte zusätzlich von einem Stopper angehalten und von Greifern automatisch geklemmt und leicht angehoben, so dass die Leiterplatte während der anschließenden Schwingungsanregung nicht auf dem Transportband aufliegt. Dadurch erfolgt die Entkopplung der Vibration vom Transportband und es werden keine Schwingungen auf das Transportband übertragen. Insbesondere während der Abkühlphase darf das erstarrende Lotmaterial keiner Vibration ausgesetzt sein, da sonst Risse in der Lötstelle entstehen können. Nach er-

folgter Schwingungsanregung wir die Leiterplatte wieder auf dem Leiterplattentransport abgesetzt.

Dieses Konzept der Maschinenintegration stellt eine stationäre, inlinefähige Lösung dar, die weiterhin trotz der Modifikationen in einer konventionellen SMD-Prozesskette ohne Schwingungsanregung verwendet werden kann.



Bild 161: Umsetzung der Maschinenintegration mit geteiltem Transportband und Greifermechanismus zum Klemmen der Leiterplatte [106]

Erweitertes Werkstückträgersystem

Das Werkstückträgersystem ist aus einem Grundrahmen aus glasfaserverstärktem Kunststoff (GFK) realisiert, der die Halterung für die zu lötende Leiterplatte sowie die Aktorik für die Erzeugung der mechanischen Schwingung trägt (siehe Bild 162). Durch die Verwendung des GFK-Materials mit einer geringen thermischen Kapazität besitzt der Aufbau eine geringe thermische Masse, wodurch der Werkstückträger nur gering das thermische Verhalten des Lötofens beeinflusst. Für die Erzeugung der Schwingung wird ebenfalls ein elektromagnetischer Aktor eingesetzt, der die eingespannte Leiterplatte direkt anregt. Die Halterung der Leiterplatte ermöglicht durch den Einsatz von Federstiften einerseits die freie Bewegung der Leiterplatte während der Schwingungsanregung sowie einen schnellen Leiterplattenwechsel nach dem Lötprozess. Das Gehäuse, das den Aktor für dessen Schutz vor den thermischen Umgebungsbedingungen im Reflowofen umgibt, ist ebenfalls aus dem glasfaserverstärktem Kunststoff aufgebaut.

Der Werkstückträger wird über den Leiterplattentransport in den Lötofen eingefahren und durch den Lötofen transportiert. Die Energieversorgung und Aktorsteuerung des Werkstückträgers erfolgt über eine interne Versorgungsschiene, die innerhalb der Peakzone unterhalb des Leiterplattentransports angebracht ist und mit der externen Elektronik verbunden ist. Mit Hilfe eines Abnehmers an der Unterseite des Werkstückträgers wird die Schiene kontaktiert. Erreicht der

Werkstückträger beim Transport durch den Lötofen die Versorgungsschiene, wird der Aktor zeitgesteuert mit einer definierten Frequenz betrieben und die Leiterplatte in Schwingung versetzt.

Das Werkstückträgerkonzept ermöglicht eine zeitgesteuerte inlinefähige Schwingungsanregung in einem Reflowöfen. Für einen kontinuierlichen Produktionsablauf sind jedoch mehrere Werkstückträger notwendig.



Bild 162: Werkstückträgersystems im Reflowofen mit Ansicht des Modells von oben und unten

6 Mögliche Anwendungsfelder

Autoren: Dr. Dohle, Rainer¹; Dr. Keßling, Oliver²

¹ Micro Systems Engineering GmbH

² Lehrstuhl für Mikrotechnik und Medizingerätetechnik, Technische Universität München

Die weitere Miniaturisierung von Flip-Chip-Aufbauten wird von einer Vielzahl von Anwendungen mit hohen Anforderungen an Baugröße und Pitch vorangetrieben. Die Forderungen nach höherer Funktionalität werden zu höheren I/O-Zahlen und kleineren Lotbumpgrößen bei Flip-Chip-Aufbauten führen.

Bei einer Reduzierung von Pitch und Lotbumpgröße von Flip-Chip-Aufbauten ist es möglich, derzeit mittels Drahtbonden kontaktierte Chips ohne kostspielige Umverdrahtung mithilfe der Flip-Chip-Technologie zu verarbeiten. Dadurch ist nicht nur eine Verringerung der Baugröße durch Wegfall des mehrreihigen I/O-Designs (Fan-Out) und des Loops beim Drahtbonden möglich, es können auch Fertigungskosten eingespart werden und günstigere HF-Eigenschaften bzw. größere Bandbreiten realisiert werden [29], [90]. Die im Projekt ProUFP als machbar bestätigten Dimensionen für Pads und Bumps (30 μ m) entsprechen dem vordersten Stand der Technik beim Drahtbonden. Eine weitere Reduktion der Dimensionen von Bumps und Pitch in der Flip-Chip-Technologie mit Nachweis der Prozessfähigkeit würde dieser Technologie aktuell einen Vorsprung verschaffen [29].

Mobile Geräte stellen traditionell einen Motor für die weitere Miniaturisierung elektronischer Baugruppen dar. Der Trend zu kleineren, leichteren und dünneren mobilen Produkten mit immer mehr Funktionen macht Chips mit kleineren Lotkugeln erforderlich [93]. Auch hier ist eine große Bandbreite vorteilhaft. Einige innovative Beispiele für den Einsatz hochminiaturisierter Flip-Chip-Baugruppen für mobile Geräte sind in [94] angeführt.

Ein weiteres Anwendungsgebiet stellt die Millimetertechnik dar. Einige Anwendungsbeispiele sind in [33] und [104] angegeben.

Aufgrund des geringen Abstandes zwischen Chip und Substrat ist bei Verwendung stark gedünnter Chips eine sehr geringe Bauhöhe realisierbar, was nicht nur für Chipkarten und ähnliche Anwendungen interessant ist. Through Silicon Vias machen stark gedünnte Chips erforderlich. Der Einsatz von NFU könnte bei gedünnten Chips Vorteile bringen.

Ein wesentliches Feld für den Einsatz hochminiaturisierter Flip-Chip-Baugruppen stellt die Medizintechnik dar, wobei medizinische Implantate der nächsten Generation aufgrund der geforderten geringen Baugröße und Masse eine besonders große Rolle spielen könnten [124].

In [124] wird ein Face-to-Face Chip-Stacking für Anwendungen in der Medizintechnik zur Erhöhung der Packungsdichte vorgeschlagen, siehe Bild 163:



Bild 163: Face-to-Face Si-Chip-Stacking, nach [124]

Anstelle von Sn63Pb37 ist auch der Einsatz der Legierung SnBiAg denkbar, was neben der Bleifreiheit auch eine Weiterverarbeitung bei niedrigeren Löttemperaturen ermöglichen würde [122]. [19]

Ein weiteres mögliches Anwendungsgebiet liegt im Chip-Stacking in Verbindung mit TSVs (3D-Integration). Ein großer Vorteil dabei sind die gut angepaßten thermischen Ausdehnungskoeffizienten der Verbindungspartner. Eine zunehmende Bedeutung wird die 3D-Integration mit Zwischenträgern (Interposern) aus Silizium oder Glas erlangen:

In [140] und [138] wird eine Lösung mit TSV-Interposer und Mikro-Lotbumps für große Chips bei einem Pitch von 25 μm Pitch vorgeschlagen, siehe Bild 164:



Bild 164: Sehr großer Chip, der mittels Silizium-Interposer auf eine BT-Leiterplatte montiert wurde, nach [140]

Vorteilhaft ist dabei die gute Anpassung der thermischen Ausdehnungskoeffizienten zwischen Chip und Interposer. Da die Verbindung von Interposer und Leiterplatte (in Bild 164 aus BT) mit

wesentlich größeren Lotbumps und demzufolge einem größeren Stand-Off, erfolgt, ist bei diesem Interface die Fehlanpassung der thermischen Ausdehnungskoeffizienten weniger kritisch. Auch hier könnten die vorgestellten Technologien zur industriellen Anwendung kommen. Besonders wichtig ist dabei eine effiziente und kosteneffektive Forschungsinfrastruktur [9].

In [120] sind optoelektronische Anwendungen dargestellt, für deren Realisierung sehr kleine Solderbumps erforderlich sind: Ein CMOS-Schaltkreis und ein Photonic-Siliziumchip werden mittels Flip-Chip-Montage Face-to-Face kontaktiert. Die Lotbumperzeugung erfolgt in [120] mittels fotolithographischer Prozesse. Durch den Einsatz der in dieser Arbeit beschriebenen Technologien (insbesondere der Lotbumperzeugung durch Bekugelung) könnten gegenüber der in [120] vorgeschlagenen Lösung Kostenvorteile erzielt werden. Einem Lösungsansatz in [28] folgend können auf diese Weise auch III-V-Halbleiter mit Siliziumchips verbunden werden (Hybridintegration).

In der Optoelektronik wird als Lotlegierung aufgrund zahlreicher Vorteile häufig eine eutektische Gold-Zinn-Legierung eingesetzt. Lotkugeln aus Gold-Zinn mit einem Durchmesser von 60 Mikrometer (oder kleiner) werden auf dem Weltmarkt bereits angeboten. Damit können auch flußmittelfreie Lötverfahren angewendet werden, was eine Kontaminierung optischer Oberflächen (z. B. Laserfacetten) durch Flußmittelrückstände verhindert. Im Rahmen dieses Verbundprojektes erfolgten jedoch keine experimentellen Arbeiten mit diesen Lotkugeln.

In [17] wird vorgeschlagen, Chips Face-to-Face zu kontaktieren, um eine sehr schnelle Datenübertragung mittels kapazitiver Kopplung zwischen den beiden Chips zu realisieren. Auch bei dieser Anwendung könnte die im Projekt ProUFP erarbeitete Lösung zum Einsatz kommen.

Im Zuge der Marktdurchdringung der in dieser Arbeit vorgestellten Technologien werden sich weitere Anwendungsfelder ergeben.

7 Zusammenfassung und Ausblick

Autoren: Pfeffer, Michael¹; Diehm, Rolf L.²; Dr. Dohle, Rainer³

¹ Lehrstuhl für Fertigungsautomatisierung und Produktionssystematik, FAU Erlangen-Nürnberg

² Seho GmbH

³ Micro Systems Engineering GmbH

Innerhalb des BMBF-Verbundprojektes "Kontaktierungsverfahren und Prozesstechnik für Ultra-Fine-Pitch-Baugruppen" wurden neue Techniken zur zuverlässigen elektrischen und mechanischen Kontaktierung von hochminiaturisierten Bauelementen mit organischen und anorganischen Verdrahtungsträgern entwickelt. Hierbei wurden einerseits Lösungen beim 1st-levelinterconnect (Flip-Chip auf Interposer) und andererseits beim 2nd-level-interconnect (Bauelement auf Leiterplatte) erarbeitet. Des Weiteren standen Themen des Designs höchstminiaturisierter Komponenten sowohl auf der Chip- als auch auf der Verdrahtungsträgerseite sowie Strategien zur Prüfbarkeit innerhalb der Fertigungsprozesse im Vordergrund.

Der Hauptfokus des Projektes lag auf der Entwicklung und Umsetzung einer Prozesskette, um kleinste Lotvolumina auf Chip-Ebene bereitzustellen, die Bauelemente in der Prozesskette der Elektronikproduktion zu verarbeiten und die Langzeitzuverlässigkeit der Verbindungstellen nachzuweisen. Durch Materialqualifizierung, Anpassung von Verarbeitungsparametern und Prozessoptimierungen konnten Leiterplattensubstrate mit feinsten Leiterbildstrukturen und Anschlussgeometrien sicher realisiert werden. Dabei konnten Leiterbahnbreiten von 30 µm bei einem Leiterbahnabstand von 70 µm sowie minimale Lötstopplackstege von 30 µm erreicht werden. Für den Auftrag von Lotkugeln auf Wafer Level wurde die Technologie des Wafer Level Solder Sphere Transfers (WLSST) entwickelt, mit welchem die Prozessierung von Lotkugeln mit einem Durchmesser von 60, 50, 40 und 30 µm sowie die automatische Flip-Chip-Bestückung einschließlich Underfillauftrag erfolgreich realisiert wurde. Mittelfristig sollte die Verfügbarkeit und Verarbeitung von Lotkugeln mit 20 µm Durchmesser gegeben sein [29]. Die durchgeführten Zuverlässigkeitsuntersuchungen weisen die Baugruppenzuverlässigkeit nach und zeigen das Potential der Integrierbarkeit der Prozesse in eine normale SMD-Linie, sofern adäquate Reinraumanforderungen eingehalten werden.

Für die Erzeugung variabler Stand-Offs der Bauelemente zur Reduzierung der Stressbelastung der miniaturisierten Lötstelle wurde ein Verfahren zum Jetten von flüssigem Lot realisiert. Des Weiteren wurde eine Prozesskette zur Erzeugung von Baugruppen mit erhöhtem Stand-Off der Bauelementkontaktierung entwickelt sowie die Baugruppenzuverlässigkeit qualifiziert.

Für den industriellen Einsatz muss die Anlagentechnik und Prozessführung von Bauelementen mit miniaturisierten Anschlussstrukturen eine sichere Verarbeitung gewährleisten. Im Rahmen der Untersuchungen wurden die Strömungsverhältnisse auf einer Leiterplatte in einem Konvek-

7 Zusammenfassung und Ausblick

tions-Reflowofen mittels eines Simulationsmodells nachgebildet und die Auswirkung auf miniaturisierte Bauelemente ermittelt. Da Bauelemente in Oberflächennähe nur einer geringen Strömungsgeschwindigkeit ausgesetzt sind, besteht kaum die Gefahr des Verblasens der Bauelemente während des Reflowprozesses. Des Weiteren zeigt der Einsatz von alternativen Prozessgasen im Reflowofen das Potential zur Reduzierung der Temperaturbelastung sowie den Vorteil, dass effektiv das Arbeiten mit einer niedrigeren Prozesstemperatur möglich ist. In den Untersuchungen konnte insbesondere bei der Verwendung eines Gasgemisches aus CO₂ und He eine Verbesserung der Wärmeübertragung nachgewiesen werden. Eine Möglichkeit der Optimierung des Selbstzentrierungseffektes von miniaturisierten Bauelementen stellt die aktive Schwingungsanregung der Bauelemente während des Reflowlötprozesses dar. Im Rahmen der durchgeführten Untersuchungen konnten der Effekt der Unterstützung der Selbstzentrierung nachgewiesen sowie relevante Prozessparameter ermittelt werden. Ergänzend wurden zwei Konzepte für die Nutzung der aktiven Schwingungsanregung in der Flachbaugruppenfertigung entwickelt und Prototypen der notwendigen Anlagentechnik realisiert.

8 Literatur

- Alam, M. O. et al.: Effect of 0.5 wt% Cu in Sn-3.5%Ag Solder to Retard Interfacial Reactions With the Electroless Ni-P Metallization for BGA Solder Joints Application. In: *IEEE Transactions on Components and Packaging Technologies*, Vol. 31, No. 2, June 2008, S. 431-438.
- [2] Alvarez, C.: Simulationsgestützte Methoden zur effizienten Gestaltung von Lötprozessen in der Elektronikproduktion. Dissertation, Friedrich-Alexander-Universität Erlangen-Nürnberg, 2007.
- [3] Anhock, S. et al.: *Reliability of Electroless Nickel for High Temperature Applications*. In Proceedings: International Symposium on Advanced Packaging Materials, 1999, S. 256-261.
- [4] Aravamudhan, S.; Belmonte, J.; Pham-Van-Diep, G.: Self-Centering of Chip Components in a Pb-Free Assembly as a Function of Component and Solder Paste Print Offsets. In Proceedings: SMTA International Conference, Chicago, 25.-29. September 2005, S. 851-860.
- [5] Askeland, D. R.: Materialwissenschaften. Grundlagen, Übungen, Lösungen. Heidelberg: Spektrum Akademischer Verlag, 1996.
- [6] Barney, M. M.: Microstructural Coarsening during Thermomechanical Fatigue and Annealing of Micro Flip-Chip Solder Joints. Dissertation, University of California at Berkeley, Berkeley, California, 1998.
- [7] Beckert, E. et al.: Solder Jetting A Versatile Packaging and Assembly Technology for Hybrid Photonics and Optoelectronical Systems. In Proceedings: IMAPS International Symposium, San Jose, Nov. 1-5, 2009.
- [8] Beitz, W.; Grote, K.-H. (Hrsg.): Dubbel Taschenbuch für den Maschinenbau. 19., völlig neubearbeitete Auflage. Berlin, Heidelberg, New York: Springer-Verlag, 1997.
- [9] Bolanos, M. A.: IC Packaging Technology Research Business Model and Industrial Partner Perspective Goal: Create an Efficient and Cost Effective Research Infrastructure. In Proceedings: SEMICON, Singapore, 2008, S. 1-5.
- [10] Boll, R.: Weichmagnetische Werkstoffe 4. Auflage. Hanau: Vacuumschmelze GmbH.
- [11] Cai, J. et al.: A Study on Microstructure and Reliability Tests of Low Cost Flip Chip. In Proceedings: 4th International Symposium on Electronic Packaging Technology, Beijing, 2001.
- [12] Canete Jr., B. G.: Material and Geometric Factors that Influence Thermomechanical Stress in WLCSP Reliability. In Proceedings 17th ASEMEP National Technical Symposium, Manila, 2007, S. 1-5.
- [13] Carson, G. et al.: Factors affecting Voiding in Underfilled Flip-Chip Assemblies. LOCTITE Technical Paper, February 2002.
- [14] Charrier, I. et al.: Moisture Pick-Up and Minimum Drying Condition of Epoxy and Polyimide-Glass Printed Circuit Boards. Firmenschrift Institut de Soudure/European Space Agency, verfügbar unter http://wiki.fed.de/fed-wiki/images/8/88/ Institut_de_soudure.pdf, Stand: März 2009.

- [15] Chen, C.-F. et al.: Dependence of Flip-chip Solder Reliability on Filler Settling. In: *IEEE Transactions on Advanced Packaging*, Vol. 32, No. 4, November 2009, S. 711-719.
- [16] Chen, T.; Wang, J.; Lu, D.: *Emerging Challenges of Underfill for Flip Chip Application.* In Tagungsband: Proceedings of the 54th Electronic Components and Technology Conference, 2004, S. 175-179.
- [17] Cunningham, J. E. et al.: Aligning Chips Face to Face for Dense Capacitive Communication. In: Ho, R.; Drost, R. (Hrsg.): Coupled Data Communication Techniques for High-Performance and Low-Power Computing. Springer US, 2010.
- [18] Dang, B. et al.: 50 µm Pitch Pb-Free Microbumps by C4NP Technology. In Proceedings: 58th Electronic Components and Technology Conference, Lake Buena Vista, 2008, S. 1505-1510.
- [19] Dohle, R. et al.,: Hochpolige Fine-Pitch Ball-Grid-Array-Baugruppen mit niedrigschmelzenden Lotlegierungen. In Tagungsband: Spezialseminar Niedrigschmelzende Lotwerkstoffe, BFE-13sp, Loewe-Opta GmbH, September 2010.
- [20] Dohle, R. et al.: Adapted Assembly Processes for Flip-Chip Technology With Solder Bumps of 50 μm or 40 μm Diameter. In Proceedings: 3rd Electronics System Integration Technology Conference - ESTC, Berlin, Sep. 13-16, 2010.
- [21] Dohle, R. et al.: Automatisierte Bestückung und Underfill von Ultra-Fine-Pitch Flip-Chips. In Tagungsband: 2. Landshuter Symposium Mikrosystemtechnik, Landshut, 2010, S. 79-88.
- [22] Dong, M. et al.: Effects of Nitrogen on Wettability and Reliability of Lead-free Solder in Reflow Soldering. In Tagungsband: International Conference on Electronic Packaging Technology & High Density Packaging, Institute of Electrical and Electronics Engineers (IEEE), Peking, 10.-13. August 2009, S. 147-151.
- [23] Duran: Laborglaskatalog. Mainz: Duran Group GmbH, 2009.
- [24] England, L.: Solder Joint Reliability Performance of Electroplated SnAg Mini-Bumps for WLCSP Applications. In Proceedings: 60th Electronic Components and Technology Conference, Las Vegas, 2010, S. 599-694.
- [25] Fischer, U. ed.: Tabellenbuch Metall. Haan-Gruiten: Verlag Europa-Lehrmittel, 2009.
- [26] Franke, J. et al.: Processing and Reliability Analysis of Flip-Chips with Solder Bumps Down to 30 μm Diameter. Accepted for: 61st Electronic Components and Technology Conference, Lake Buena Vista, May 31-June 3, 2011
- [27] Geller, W. (Hrsg.): *Thermodynamik für Maschinenbauer*. 4., erweiterte Auflage. Berlin Heidelberg New York: Springer-Verlag, 2006.
- [28] Goossen, K. W. et al.: GaAs 850nm Modulators Solder-Bonded to Silicon. In: IEEE Photonic Technology Letters, Vol. 5, 1993, S. 716.
- [29] Goßler, J.: Flip-Chip-Technologie fit für künftige Anforderungen. Vortrag auf dem 25. Workshop Mikrotechnische Produktion, Nürnberg, 14. April 2010.
- [30] Gupta, P.: Effect of Intermetallic Compounds on Thermomechanical Reliability of Lead-Free Solder Interconnects for Flip-Chip. Dissertation, Georgia Institute of Technology, Atlanta, Georgia, 2004.
- [31] Han, S. et al.: Experimental and analytical study on the flow of encapsulant during underfill encapsulation of flip-chips. In Proceedings: of the 46th Electronic Components and Technology Conference, Orlando, 1996, S. 327-334.
- [32] Hedler, H.; Meyer, T.; Leiberg, W.: Compliant Wafer Level Packaging A New Packaging Platform for Memory Products. In Proceedings: 36th International Symposium on Microelectronics, IMAPS, Boston, 16.-20. November, 2003.
- [33] Heinrich, H. et al.: Millimeter-Wave Characteristics of Flip-Chip Interconnects for Multichip Modules. In: *IEEE Transactions on Microwave Theory and Techniques*, Vol. 46, No. 12, December 1998, S. 2264-2268.
- [34] Heiss, J. F.; Coull, J.: The Effect of Orientation and Shape on the Settling Velocity of Non-Isometric Particles in a Viscous Medium. In: *Chemical Engineering* Progress 48 (1952), S. 133-140.
- [35] Heraeus: Quartz Glass Tubes. Kleinostheim: Heraeus Quarzglas GmbH & Co. KG, 2009.
- [36] Hering, E.; Martin, R.; Stohrer, M.: *Physik für Ingenieure*. 7. Auflage. Berlin Heidelberg New York: Springer-Verlag, 1999.
- [37] Hewitt, G. F.; Shires, G. L.; Polezhaev, Y. V. (Hrsg.): International Encyclopedia of Heat and Mass Transfer. Boca Raton: CRC Press, 1997.
- [38] Horaud, W. et al.: PCB materials behaviour towards humidity and baking impact on wettability. Aquaboard project Part 2-a, 2-b and 3-a. Firmenschrift Selectron (2003), verfügbar unter http://wiki.fed.de/fed-wiki/images/7/73/Solectron.pdf, Stand: März 2009.
- [39] Horiuchi, M. et al.: Efficient Bump-Pad Geometries to Relax Design Rules Required for High Density I/O Area Array Packaging. In: *IEEE Transactions on Advanced Packaging*, Vol. 32, No. 1, February 2009, S. 35-44.
- [40] Johnson, R. W. et al.: Reflow-Curable Polymer Fluxes for Flip Chip Encapsulation. In Tagungsband: Proceedings of International Conference on Multi-chip Modules and High Density Packaging, 1998, S. 41-46.
- [41] Karajgikar, S. et al.: Effect of Flip-chip Package Architecture on Stress in the Bump Passivation Opening. In Proceedings: 59th Electronic Components and Technology Conference, San Diego, 2009, S. 936-942.
- [42] Kemethmüller, S., et al.: Lotbumperzeugung mit Durchmessern von 100 µm mit Bi- und In-haltigen Legierungen. In Tagungsband: Deutsche IMAPS-Konferenz, München, 2008.
- [43] Keßling, O. S. et al.: A New Process for Flip-Chip Interconnections with Variable Stand-Offs. In Proceedings: Electronic Packaging Technology Conference, Singapore, 2008, S. 620-625.
- [44] Kessling, O. S. et al.: An Electro-Magnetic Actuator for Printing Solder, In Tagungsband: International Conference on New Actuators, Hanseatische Veranstaltungs-GmbH, Bremen, 09.-11. Juni 2008, S. 461-464.
- [45] Kessling, O. S., Irlinger, F., Lüth, T. C.: Solder Bumping for flip-chips with an electromagnetic actuator. In Tagungsband: 2nd Electronics Systems-Integration Conference (ESTC), IEEE, Greenwich, London, 01.-04. September 2008, p. 981-984.

- [46] Keßling, O.: Ein Rapid-Manufacturing-Verfahren für die Flip-Chip-Montage. Düsseldorf: VDI Verlag, 2010.
- [47] Kessling, O.: Lötzinndruck für die Flip-Chip Bestückung, In Tagungsband: 3. Mikrosystemtechnik Kongress, VDE, Berlin, 12.-14. Oktober 2009, S. 8.29.
- [48] Kim, C.; Lazarakis, T.; Baldwin, D. F.: No-Flow-Underfill Process Optimization for High-Yield and reliability in Flip Chip Assembly. In Tagungsband: 8th International Symposium on Advanced Packaging Materials, 2002, S. 271-277.
- [49] Klein Wassink, R. J.: Weichlöten in der Elektronik. 2. Auflage, Bad Saulgau: Leuze-Verlag, 1991.
- [50] Klein Wassink, R. J.; Verguld, M. M. F.: Manufacturing Techniques for Surface Mounted Assemblies. Electrochemical Publications Ltd., Asahi House, Port Erin, Isle of Man, UK, 1995.
- [51] Klein, M., et al.: Behaviour of Platinum as UBM in Flip Chip Solder Joints. In Tagungsband: Electronic Components and Technology Conference (ECTC), IEEE, Las Vegas, 21.-24. Mai 2000, S. 40-45.
- [52] Kories, R.; Schmidt-Walter, H.: *Taschenbuch der Elektrotechnik.* 4. Auflage, Verlag Harri Deutsch, 2000.
- [53] Krammer, O.; Sinkovics, B.; Illés, B.: Predicting Component Self-Alignment in Lead-Free Reflow Soldering Technology by Virtue of Force Model. In Proceedings: Electronics Systemintegration Technology Conference, Dresden, 2006.
- [54] Ladani, L. J. et al.: Probalistic Design Approach for Cyclic Fatigue Life Prediction of Microelectronic Interconnects. In: *IEEE Transactions on Advanced Packaging*, Vol. 33, No. 2, May 2010, S. 559-568.
- [55] Lai, Y.-S. et al.: Influence of Test Conditions on Electromigration Reliability of Sn-Ag-Cu Flip-Chip Solder Interconnects. In Proceedings: 38th International Symposium on Microelectronics, Philadelphia, 2005, S. 834-840.
- [56] Lambracht, P.: Materialwissenschaftliche Aspekte bei der Entwicklung bleifreier Lotlegierungen. Dissertation, TU Darmstadt, Darmstadt, 2002.
- [57] Langeheinecke, K. et al.: *Thermodynamik für Ingenieure*. 7., verbesserte und ergänzte Auflage. Wiesbaden: Vieweg + Teubner Verlag, 2008.
- [58] Lau, J. H. et al.: Failure Analysis of Solder Bumped Flip-chip on Low-Cost Substrates. In: *IEEE Transactions on Electronics Packaging Manufacturing*, Vol. 23, No. 1, January 2000, S. 19-27.
- [59] Lau, J. H. et al.: Solder Joint Reliability of BGA, CSP, Flip-Chip, and Fine Pitch SMT Assemblies. New York: McGraw-Hill, 1997.
- [60] Lee, C.-C. et al.: Electromigration Characteristic of SnAg3.0Cu0.5 Flip Chip Interconnection. In: *IEEE Transactions on Advanced Packaging*, Vol. 33, No. 1, February 2010, S. 189-195.
- [61] Lee, S. et al.: Void Formation Study of Flip Chip in Package Using No-Flow-Underfill. In: *IEEE Transactions on Electronics Packaging Manufacturing*, Ausgabe 31 (2008) Heft 04, S. 297-305.

- [62] Libres, J. et al.: Investigation of Bump Crack and Deformation on Pb-Free Flip Chip Packages. In Proceedings: 60th Electronic Components and Technology Conference, Las Vegas, 2010, S. 1536-1540.
- [63] Lin, C. W.; Chiang, S. C.-L.: Bumpless Flip-Chip Packaging, In Proceedings: SMTA Pan Pacific, Hawaii, February 18-20, 2003.
- [64] Ling, J. et al.: Stud Bumping for Flip Chi-An Alternative Strategy. In Proceedings: IMAPS Device Packaging Conference, Scottsdale, March 13-16, 2005.
- [65] Liu, C.-M. et al.: Solder Shape Design and Thermal Stress/Strain Analysis of Flip-Chip Packaging using Hybrid Method. In Proceedings: International Symposium on Electronic Material & Packaging, Hong Kong, 2000, S. 44-50.
- [66] Liu, Y. et al.: A New Predicting Methodology for Electromigration. In Proceedings: 59th Electronic Components and Technology Conference, San Diego, 2009, S. 269-276.
- [67] Lu, D. et al.: *Materials for Advanced Packaging*. New York: Springer LLC, 2009.
- [68] Lu, D.; Wong, C. P.: Materials for Advanced Packaging. Springer, Berlin, 2008.
- [69] Luchian, C.: Integration des Spulen und Aufnahme der Druckkapillare in den elektromagnetischen Druckkopf, Semesterarbeit, Betreuer: Oliver Kessling, Technische Universität München, 2008.
- [70] Mahalingam, S.: Study of Interfacial Crack Propagation In Flip-Chip Assemblies With Nano-Filled Underfill Materials. Dissertation, Georgia Institute of Technology, Atlanta, Georgia, 2005.
- [71] Manessis, D. et al.: Latest technological advancements in stencil printing processes for Ultra-fine-pitch flip chip bumping down to 60 μm pitch. In Proceedings: 39th International Symposium on Microelectronics, San Diego, October 8-12, 2006.
- [72] Manko, H. H.: Solders and Soldering, McGraw-Hill, 2001.
- [73] Matsuki, H. et al.: A TEM Observation of Solder Joints of an Electronic Device. In: *Journal of the Japan Institute of Metals*, Vol. 84, No. 3, 2000, S. 213-217.
- [74] Miller, L. F.: Controlled Collapse Reflow Chip Joining. In: *IBM Journal Research and Development*, Vol. 13, May 1969, S. 239-250.
- [75] N. N.: Chip interconnect with reduction of real estate using micro-substrates (cirrµs). 5th Framework Programme of the European Commission, Project Reference: IST-1999-10023, http://www.cordis.lu/
- [76] N. N.: http://www.avt.et.tu-dresden.de/FILEPOOL/DE/forschung.php, Zugriff am 9.05.2006.
- [77] N. N.: http://www.ime.a-star.edu.sg, Zugriff am 9.05.2006.
- [78] N. N.: http://www.mm.fh-heilbronn.de/wehl/projekte/lotdruck.htm, Zugriff am 16.05.2006.
- [79] N. N.: http://www.pb.izm.fhg.de/izm/DE/015_Programms/index.html, Zugriff am 9.05.2006.
- [80] N. N.: http://www.prc.gatech.edu/industry/partners.htm, Zugriff am 9.05.2006.
- [81] N. N.: http://www.prc.gatech.edu/research/sopvis.htm, Zugriff am 9.05.2006.

- [82] N. N.: International Technology Roadmap for Semiconductors (ITRS). 2003 Edition, Assembly and Packaging, USA.
- [83] N. N.: Synergien eröffnen neue Dimensionen: Bericht über die Japan Printed Circuit Ausstellung 2005, In: Produktion von Leiterplatten und Systemen (PLUS), Heft 7/2005, Eugen G. Leuze Verlag, Bad Saulgau, 2005. S. 1177-1186, 2005.
- [84] N.N.:http://www.produktionsforschung.de/fzk/idcplg?IdcService=PFT&node=2426&T =LITERATUR_DETAIL&ID=1892, Zugriff am 16.05.2006.
- [85] Nakagawa, K.: Needs for 01005-Style Parts Drive Mounting, Packaging Gains. Dempa Publications Inc., AEI, März 2007.
- [86] Nieland, S.: Einfluβ des Phosphors auf die Phasenbildung und das Phasenwachstum bei chemisch abgeschiedenen Ni/P-Bumps und schablonengedruckten Mikrolotkontakten. Dissertation, TU Berlin, 2002.
- [87] Oppert, T. at al.: Placement and reflow of solder balls for FC, BGA, Wafer-Level-CSP, Optoelectronic Components and MEMS by using a new solder jetting method. In Proceedings: International Microelectronic And Packaging Society, Denver, Sept. 04-06, 2002.
- [88] Oppert, T. et al.: Laser assisted soldering and Flip-chip attach for 3-D packaging. In Proceedings: 31st International Conference on Electronics Manufacturing and Technology, Petaling Jaya, 2006.
- [89] Painaik, M.; Hurley, J.: Process Recommendations for Assembly of Flip Chips Using No-Flow-Underfill. Firmenschrift Semiconductor Products, verfügbar unter http://www.cooksonsemi.com/products/pdfs/polymer/AppBull-NoFlowUnderfillProcessGuidelines.pdf, Stand: März 2009.
- [90] Palesko, C. P. et al.: Cost Comparison for Flip Chip, Gold Wire Bond, and Copper Wire Bond Packaging. In Proceedings: the 60th Electronic Components and Technology Conference, Las Vegas, 2010, S. 10-13.
- [91] Park, S. et al.: Fine-Pitch, Cost Effective Flip Chip Package Development: TAB-BGA. In Proceedings: 60th Electronic Components and Technology Conference, Las Vegas, 2010, S. 20-24.
- [92] Park, S. et al.: Underfill Acceleration Factor Based on Thermal Fatigue Crack Growth Rate. In Proceedings: 60th Electronic Components and Technology Conference, Las Vegas, 2010, S. 490-495.
- [93] Park, Y.-S. et al.: Effects of Fine Size Lead-Free Solder Ball on the Interfacial Reactions and Joint Reliability. In Proceedings: 60th Electronic Components and Technology Conference, Las Vegas, 2010, S. 1436-1441.
- [94] Pendse, R. et al.: Innovative Approaches in Flip-chip Packaging for Mobile Applications. In Proceedings: 59th Electronic Components and Technology Conference, San Diego, 2009, S. 285-292.
- [95] Peng, C. T. et al.: "Reliability Analysis and Design for the Fine-Pitch Flip-Chip BGA Packaging. In: *IEEE Transactions on Components and Packaging Technologies*, Vol. 27, No. 4, December 2004, S. 684-692.
- [96] Pennisi, R.; Papageorge M.: Adhesive and Encapsulant Material with Fluxing Properties. US Patent 5.128.746, 7. Juli 1992.

- [97] Popelar, S. F.: A Parametric Study on Flip-chip Reliability Based on Solder Fatigue Modeling. In Proceedings: International Electronics Manufacturing Technology Symposium, Austin, 1997, S. 299-309.
- [98] Pun, K. et al.: Effect of Ni Layer Thickness on Intermetallic Formation and Mechanical Strength of Sn-Ag-Cu Solder Joint. In Proceedings: Elelectronic Packaging Technology Conference, Singapore, 2008, S. 419-426.
- [99] Puttlitz, K. et al.: Low Cost Bumping Technology based on Electroless Ni and Solder Paste. In: Area Array Interconnection Handbook, Kluwer Academic Publishers, 2001, pp. 76-88.
- [100] Qin, Y. et al.: Near-Eutectic Sn-Ag-Cu Solder Bumps Formation for Flip-Chip Interconnection by Electrodeposition. In Proceedings: 60th Electronic Components and Technology Conference, Las Vegas, 2010, S. 144-150.
- [101] Rahn, A.: Bleifrei Löten Ein Leitfaden für die Praxis. 1. Auflage, Bad Saulgau: Leuze-Verlag, 2004.
- [102] Sakelson, R.; Numakura, D.: Good Things in Small Packages: Exploring Japan's PCB Industry. http://www.circuitree.com/CDA/Articles/Cover_Story/4c60306f2b22a010VgnVCM100 000f932a8c0, Zugriff am 04.04.2006.
- [103] Sattiraju, S. V. et al.: Wetting Characteristics of Pb-Free Solder Alloys and PWB Finishes. In: *IEEE Transactions on Electronics Packaging* Manufacturing, *Volume 25*, Number 3 (2002), S. 168-184.
- [104] Schmuckle, F.-J. et al.: W-band flip-chip VCO in thin film environment. In Proceedings: Microwave Symposium Digest, 2005 IEEE MTT-S International, June 2005, S. 1007-1010.
- [105] Schüßler, F. et al.: New Solder Bumping Technology and Adapted Assembly Processes for 100 µm Pitch Flip-Chip Technology using Capillary Flow or No Flow Underfill. In Proceedings: 25th SMTA International Conference, San Diego, Oct. 4-8 2009, S. 160-168.
- [106] Schüßler, F.: Verbindungs- und Systemtechnik für thermisch hochbeanspruchte und miniaturisierte elektronische Baugruppen. Dissertation, Friedrich-Alexander-Universität Erlangen-Nürnberg, 2010.
- [107] Shi, S. H.; Wong, C. P.: Recent Advances in the Development of No-Flow-Underfill Encapsulants A Practical Approach towards the Actual Manufacturing Application. In Tagungsband: Proceedings of the 49th Electronic Components and Technology Conference, 1999, S. 770-776.
- [108] Sohn, H; Yang, D Y: Drop-on-demand deposition of superheated metal droplets for selec-tive infiltration manufacturing
- [109] Stepniak, F.: Conversion of the under bump metallurgy into intermetallics: the impact on flip chip reliability. In: *Microelectronics Reliability*, Volume 41, Issue 5, May 2001, S. 735-744.
- [110] Stepniak, F.: Solder flip chips employing electroless nickel: an evaluation of reliability and cost. In: Advanced Electronic Packaging, Vol. 1, 1997

- [111] Strandjord, A. et al.: WLCSP Mechanical Reliability High Speed Pull Testing (Lead-Free Solder Alloys and Electroless Nickel UBM). In Proceedings: 41st International Symposium on Microelectronics, Providence, 2008, S. 108-114.
- [112] Strandjord, A. et al.: WLCSP Production using electroless NiAu Plating and Wafer Level Solder Sphere Transfer Technology. In Proceedings: International Wafer-Level Packaging Conference, San Jose, Oct. 15-16, 2008.
- [113] Strandjord, A., et al.: Laser Based Assembly of Ultra Fine-Pitch Bumped ICs For Chipon-Chip Proximity Coupled Applications. In Proceedings: 42nd International Symposium on Microelectronics, San Jose, 2009, S. 1032-1038.
- [114] Strauss, R.: SMT Soldering Handbook. 2. Auflage. Oxford: Newnes, 1998.
- [115] Su, P. et al.: A Comparison Study of Electromigration Performance of Pb-free Flip-Chip Solder Bumps. In Proceedings: 59th Electronic Components and Technology Conference, San Diego, 2009, S. 903-908.
- [116] Tanaka, A. et al.: Study of stress to Solder Joint by Underfill filling. In Proceedings: 41st International Symposium on Microelectronics, Providence, 2008, S. 481-488.
- [117] Tatsumi, K. et al.: Lead-free micro-ball bumping for flip-chip and wafer level packaging at Nippon Steel. In Proceedings: IMAPS Device Packaging Conference, Scottsdale, 2007.
- [118] Teredesai, A. et al.: Self-Centering of Offset Chip Components in a Pb-free Assembly. In Proceedings: 5th International Conference on Lead Free Electronic Components and Assemblies, IPC/JEDEC, März 2004.
- [119] Teutsch, T. et al.: Low Cost Wafer Bumping for Power Electronics Device Interconnection. In Proceedings: Flip Chip Technology Workshop, Austin, June 21-24, 2004.
- [120] Thacker, H. D. et al.: Flip-Chip Integrated Silicon Photonic Bridge Chips for Sub-Picojoule Per Bit Optical Link. In Proceedings: 60th Electronic Components and Technology Conference, Las Vegas, 2010, S. 240-246.
- [121] Totta, P. A.: Flip-Chip Solder Terminals. In Proceedings: 21st Electronic Components Conference, May 1971, S. 275.
- [122] Trodler, J. et al.: Aufbau und Verbindungstechnik sowie Zuverlässigkeit für Niedertemperaturlote auf Basis SnBi. In: *Produktion von Leiterplatten und Systemen (PLUS)*, Heft 7, 2010, S. 1556-156.
- [123] Vandevelde, B. et al.: Lead Free Solder Joint Reliability Estimation by Finite Element Modeling, Advantages, Challenges and Limitations. In Proceedings: 7th International Conference on Lead-free Electronic Components and Assemblies, Frankfurt, 2004.
- [124] Vempati, S. R. et al.: Development of 3-D Silicon Die Stacked Package Using Flip-Chip Technology with Micro Bump Interconnects. In Proceedings: 59th Electronic Components and Technology Conference, San Diego, 2009, S. 980-987.
- [125] Vitron: Spanend bearbeitbare Glaskeramik Vitronit® Technische Daten. http://www.vitron.de/spanend-bearbeitbare-Keramik/Daten-Glaskeramik.php, Zugriff am 26.01.2010.
- [126] Vittu, J.; Heilmann N.: Fokus auf kleinsten Chip-Bauteilen. Elektronik Produktion & Prüftechnik. Konradin Verlag, Ausgabe 02 (2008), S. 30.

- [127] Wallace, D.D. et al.: Ink-Jet Deposition of Materials for MEMS Fabrication. In Proceedings: Pan Pacific Microelectronics Symposium, SMTA, Hawaii, January 17-19, 2006.
- [128] Walls, J. et al.: *High-Sensitivity Electromigration Testing of Lead-Free WLCSP Solder Bumps*. In Proceedings: 60th Electronic Components and Technology Conference, Las Vegas, 2010, S. 293-296.
- [129] Wehl, W.; Wild, J.; Lemmermeyer, B.: *Tintendruck Allein zum Drucken viel zu schade. Ein Drop-on-Demand-Metal-Jet-Druckkopf f
 ür das Wafer-Bumping*, Horizonte Nr. 23 (2003), S. 8-12.
- [130] Wohlrabe, H.; Herzog, T.; Wolter, K.J.: Optimization of SMT Solder Joint Quality by Variation of Material and Reflow Parameters. In Tagungsband: Electronics System Integration Technology Conference, Institute of Electrical and Electronics Engineers (IEEE), Greenwich, 01.-04. September 2008, S. 1185-1192.
- [131] Wölflick, P.: Innovative Substrate und Prozesse mit feinsten Strukturen für bleifreie Mechatronik-Anwendungen. Dissertation, Friedrich-Alexander-Universität Erlangen-Nürnberg, 2006.
- [132] Wong, C. P.; Shi, S. H.; Jefferson, G.: *High Performance No-Flow-Underfills for Low-Cost Flip-Chip Applications*. In Tagungsband: Proceedings of the 47th Electronic Components and Technology Conference, 1997, S. 850.
- [133] Wong, C. P.; Shi, S. H.; Jefferson, G.: High Performance No-Flow-Underfills for Flip-Chip Applications – Materials Characterization. In: *IEEE Transactions on Components*, *Packaging and Manufacturing Technology*, Ausgabe 21 (1998) Heft 03, S. 450.
- [134] Yamabe, M.: Estimation of Sn-3.0Ag-0.5Cu Solder Joint Reliability by Weibull Distribution and Modified Coffin-Manson Equation. In Proceedings: 36th International Symposium on Microelectronics, Boston, 2003, S. 823-828.
- [135] Yamaguchi, K.: Generation of 3-dimensional microstructure by metal jet. In: *Microsystem Technologies*, Volume 9, Number 3, pp 215 - 219, Springer: Berlin, Heidelberg, January 2003.
- [136] Yoon, J.-W. et al.: Comparison of Interfacial Stability of Pb-Free Soders (Sn-3.5Ag, Sn-3.5Ag-0.7Cu, and Sn-0.7Cu) on ENIG-Plated Cu During Aging. In: *IEEE Transactions on Components and Packaging Technology*, Vol. 33, No. 1, March 2010, S. 64-70.
- [137] Yu, A. et al.: Study of 15 µm Pitch Solder Microbumps for 3D IC Integration. In Proceedings: 59th Electronic Components and Technology Conference, San Diego, 2009, S.6-10.
- [138] Yu, A. et al.: Three Dimensional Interconnects with High Aspect Ratio TSVs and Fine Pitch Solder Microbumps. In Proceedings: 59th Electronic Components and Technology Conference, San Diego, 2009, S. 980-987.
- [139] Yu, D.-Q. et al.: Electromigration Study of 50 µm Pitch Micro Solder Bumps using Four Point Kelvin Structure. In Proceedings: 59th Electronic Components and Technology Conference, San Diego, 2009, S. 930-935.
- [140] Zhang, X. et al.: Development of Through silicon Via (TSV) Interposer Technology for Large Die (21x21 mm) Fine-pitch Cu/low-k FCBGA Package. In Proceedings: 59th Electronic Components and Technology Conference, San Diego, 2009, S. 305-312.

- [141] Zhang, Z. et al.: Recent Advances in Flip-Chip Underfill: Materials, Process, and Reliability. In: *IEEE Transactions on Advanced Packaging*, Vol. 27, No. 3, August 2004, S. 515-524.
- [142] Zhang, Z.; Shi, S. H.; Wong, C. P.: Development of No-Flow-Underfill Materials for Lead-Free Bumped Flip-Chip Applications. In: *IEEE Transactions on Components and Packaging Technologies*, Ausgabe 24 (2000) Heft 01, S. 59-66.
- [143] Zhang, Z.; Wong, C. P.: Recent Advances in Flip-Chip Underfill: Materials, Process, Reliability. In: *IEEE Transactions on Advanced Packaging*, Ausgabe 27 (2004) Heft 03
- [144] Zheng, L. et al.: An Examination of Underfill Flow in Large Dies With Nonuniform Bump Patterns. In: *IEEE Transactions on Components and Packaging Technology*, Vol. 33, No. 1, March 2010, S. 196-205.
- [145] Zhou, Y. et al.: Harmonic and Random Vibration Durability of SAC305 and Sn37Pb Solder Alloys. In: *IEEE Transactions on Components and Packaging Technologies*, Vol. 33, No. 2, June 2010, S. 319-328.
- [146] Zhouh, S. Y. et al.: A Multiscale Modeling and Experimental Study of Underfill Flow and Void Formation Formation for Flip-chip Packages. In Proceedings: 59th Electronic Components and Technology Conference, San Diego, 2009, S. 2004-2010.
- [147] ZVEI Zentralverband Elektrotechnik- und Elektronikindustrie e. V. (Hrsg.): *Produkti*onstechnik für eine Aufbau- und Verbindungstechnik für die Nanoelektronik. August 2005.

9 Danksagung

Allen Partnern und Beteiligten an diesem Projekt sage ich herzlichen Dank für ihren Einsatz und das offene und kooperative Wirken zur Erreichung der gesetzten Ziele. Uns verband jederzeit eine angenehme und kreative Zusammenarbeit, die auch den Umgang miteinander stets positiv beeinflusste.

Dem Bundesministerium für Bildung und Forschung danke ich für die Unterstützung dieses Projektes. Insbesondere bin ich Herrn Stefan Scherr und Frau Claudia König vom Forschungszentrum Karlsruhe GmbH zu Dank verpflichtet für die sehr gute Zusammenarbeit und die stete Bereitschaft zur Unterstützung, die wir im Laufe dieses Projektes erfahren durften.

Allen Interessierten wünsche ich ein informatives Studium dieses Fachberichtes.

Rolf L. Diehm, Projektleiter

Die Arbeiten im Verbundprojekt "Kontaktierungsverfahren und Prozesstechnik für Ultra-Fine-Pitch-Baugruppen (ProUFP)" wurden durch wertvolle Beiträge unterstützt:

Seho - Herr Uwe Adler, Herr Levent Akbulut, Herr Rudolf Ullrich und Herr Thomas Schlembach

MSE - Herr Jörg Goßler, Herr Thomas Friedrich, Herr Bernd Burger, Herr Andreas Wirth und Herr Henryk Lutsch-Kelemen

FAPS - Herrn Prof. Dr.-Ing. Jörg Franke, Herr Denis Kozic, Herr Gerald Gion, Herr Stefan Härter, Herr Siegfried Maly und Herr Leonhard Maußner

PAC TECH - Frau Melanie Schelonneck, Herr Christoph Glaubitz und Herr Alexander Schütt

Mimed - Herr Prof. Dr. Tim C. Lüth, Herr Dr. Franz Irlinger, Herr Dr. Jan Harnisch, Herr Konstantin Werner, Herr Christian Luchian, Herr Marko Dudziak, Herr Mattias Träger, Herr Qingsen Huang, Herr Herbert Skreinig, Herr Michael Schink, Herr Kenji Eiler, Herr Christian Kühnau und Herr Gerhard Ribnitzky

KSG - Herr Jan Lubass, Herr Thomas Ahner und Herr Ralph Fiehler

FH Hof - Herr Professor Marek Gorywoda

Kurzbeschreibung

Einer der maßgeblichen Treiber bei der Entwicklung und Gestaltung von elektronischen Produkten ist stets die Miniaturisierung, mit dem Ziel, die Funktionsvielfalt zu erhöhen sowie die Baugröße zu reduzieren. Neben allen Komponenten einer elektronischen Baugruppe muss ebenfalls die Produktionstechnologie die hohen Anforderungen in Bezug auf die Reduzierung der Baugröße abdecken, um neue, kleinere Bauelementformen in hochkomplexen Prozessen sicher verarbeiten zu können.

Vor diesem Hintergrund wurden im Rahmen des BMBF-Verbundprojektes "Kontaktierungsverfahren und Prozesstechnik für Ultra-Fine-Pitch-Baugruppen" die Herausforderung der Miniaturisierung aufgegriffen, um zuverlässige Lösungsansätze zur Verfügung zu stellen. So wurde eine Prozesskette entwickelt und umgesetzt, um kleinste Lotmengen bei feinsten Anschlussstrukturen bereitzustellen. Zur Reduzierung der Stressbelastung in der Lötstelle wurde ebenfalls ein Verfahren zur Erzeugung variabler Stand-Offs untersucht. Weiterhin wurde die erforderliche Anlagentechnik und Prozessführung für die Produktion elektronischer Baugruppen optimiert bzw. erarbeitet. Die erzielten Ergebnisse des Verbundprojektes werden in diesem Buch vorgestellt.

Abstract

One of the key drivers in the development and design of electronic products is always the miniaturization. The aim is to increase the functionality and reduce the form factor. Besides all components of an electronic assembly, the production technology must cover the high requirements of miniaturization as well. This is to securely process miniaturized electronic components in highly complex interconnection processes.

Therefore, those challenges of miniaturization were met within the BMBF-project "Contacting Methods and Process Technology for Ultra Fine Pitch Devices. Thus a process chain to provide minimal solder volumes for miniaturized interconnection structures was developed and implemented. For the reduction of mechanical stress within the solder joint, a procedure for the production of variable stand-offs was analyzed. Furthermore, the required production equipment and process control for ultra fine pitch devices was optimized and developed. The results of the project are presented in this book.