

Entwicklung von OEICs für ein Digitales-Video-Disk-System

Förderkennzeichen 01 BS 604/5

- Abschlussbericht -

H. Zimmermann, A. Ghazi, M. Hohenbild, T. Heide, P. Seegebrecht

Lehrstuhl für Halbleitertechnik, Technische Fakultät
Christian-Albrechts-Universität zu Kiel

R. Böckler, R. Buchner, J. Weber

FhG-IFT/IMS, München

Kiel, Juni 2000

Inhaltsverzeichnis

1	Aufgabenstellung	1
2	Voraussetzungen zur Durchführung des Vorhabens	3
3	Planung und Ablauf des Vorhabens	5
4	Stand der Wissenschaft und Technik	11
5	Zusammenarbeit mit anderen Stellen	15
6	Erzielte Ergebnisse	17
6.1	Photodetektoren	17
6.1.1	Pin-Photodiodenprinzip	17
6.1.2	Photodetektoren in monolithischen Empfängerschaltkreisen	20
6.1.3	Pn- und pin-Photodioden in einem CMOS-Prozeß	23
6.1.4	Charakterisierung der pn- und pin-Photodetektoren	29
6.2	Doppel- und Finger-Photodioden	39
6.2.1	Photodioden im C4PH-Prozeß	39
6.2.2	Photodioden im C5PA-Prozeß	63
6.2.3	Photodioden im BN08-Prozeß	66
6.2.4	Zusammenfassung	75
6.3	DVD-OEICs	78
6.3.1	Wichtige Schaltungsmodulare	78
6.3.2	Spannungsfolger-OEICs	84
6.3.3	Transimpedanzverstärker-OEICs	106

6.4	Laserregelkreis-IC	127
6.4.1	Beschreibung und Spezifikationen	127
6.4.2	Funktionsweise und Aufbau der Schaltungen	131
6.4.3	Lasertreiberansteuerung über Stromspiegelschaltung	132
6.4.4	Bemerkungen zum Temperaturverhalten eines Halbleiterlasers	134
6.4.5	Eingangsstufe	135
6.4.6	Abtast- & Halteglied	137
6.4.7	PI-Regler	141
6.4.8	Laserstromtreiber	145
6.4.9	Digitale Hilfssignale	147
6.5	Zusammenfassung der erzielten Ergebnisse	149
7	Verwertbarkeit der Ergebnisse und Erfahrungen	151
8	Fortschritt anderer Stellen	153
9	Veröffentlichungen im Rahmen dieser Arbeit	155
	Formelzeichen und Abkürzungen	157
	Abbildungsverzeichnis	161
	Tabellenverzeichnis	167
	Literaturverzeichnis	170
	Anhang: Bericht des Unterauftragnehmers	175

Kapitel 1

Aufgabenstellung

Für ein als wiederbeschreibbarer optischer Speicher geplantes Digitales-Video-Disk-System (DVD) der Firma Deutsche Thomson-Brandt (DTB), Villingen waren vom Lehrstuhl für Halbleitertechnik (LHT) der Universität Kiel unter Einbeziehung des Fraunhofer-Instituts für Festkörpertechnologie (IFT), München zwei integrierte Schaltkreise zu entwickeln:

- 1) PIN-CMOS-OEIC
- 2) Laserregelkreis-IC

Das PIN-CMOS-OEIC ist ein optoelektronischer integrierter Schaltkreis (OEIC), der die auf DVDs optisch gespeicherte Information beim Lesen in elektrische Signale umwandelt. Dieser Schaltkreis enthält pin-Photodioden und Schaltungen zur Signalverarbeitung. Die pin-Photodioden müssen sich durch sehr kurze Anstiegs- und Abfallzeiten und durch einen hohen Wirkungsgrad für rotes und blaues Licht auszeichnen, um bei geringer Laserleistung einen guten Signal-Rausch-Abstand und damit eine niedrige Bitfehlerrate zu erreichen. Ferner wird die sogenannte Doppelphotodiode, die zwar hinter der hohen Schnelligkeit der pin-Photodiode zurückbleibt, sich jedoch in Standardtechnologie integrieren läßt, untersucht. Für DVD-Video-Geräte mit zweifacher Laufwerksgeschwindigkeit werden OEICs mit rauscharmen Vorverstärker, die eine Grenzfrequenz von 25 MHz besitzen, zur Gewinnung der digitalen Information sowie zur Gewinnung der Steuersignale für Fokussierung und Spurführung des Lese-/Schreibstrahles benötigt.

Das Laserregelkreis-IC ermöglicht zusammen mit einer externen Monitorphotodiode die Regelung der Laserlichtleistung, die für unterschiedliche Disks sowie für Lese- und Schreibvorgänge auf verschiedene Werte eingestellt und zudem temperaturunabhängig genau eingehalten werden muß. Die Regelschaltung für die Ansteuerung eines externen Halbleiterlasers beinhaltet einen Verstärker, Abtast- und Halteglieder, Operationsverstärker und steuerbare Stromquellen. Ferner wird in einer Variante des Regelkreis-ICs eine schnelle Monitorphotodiode integriert, um die daraus resultierenden Vorteile zu demonstrieren.

Um die Anforderungen an geringes Rauschen, hohe Geschwindigkeit, Latch-up-Unempfindlichkeit und geringe Prozeßkomplexität erfüllen zu können, wird ein Twin-

Tub-CMOS-Prozeß (1,0 μm) um Prozeßmodule erweitert, die die Integration der pin-Photodioden ermöglichen.

Primär verfolgt das Vorhaben technische Ziele - wobei Teilaspekte wissenschaftliche Fragestellungen beinhalten. Die technischen Ziele des Vorhabens bestehen darin, unterschiedliche Realisierungsmöglichkeiten für die OEICs und den Lasermodulator zu erarbeiten und daraus die Varianten mit den besten elektrischen und optischen Eigenschaften unter der Randbedingung niedriger Produktionskosten zu extrahieren und das Ergebnis anhand von Test-Chips zu verifizieren. Besonderes Augenmerk wird auf der Minimierung der Zahl zusätzlicher Maskenschritte zur Integration der Photodioden liegen. Von wissenschaftlichem Nutzen ist das Aufzeigen der Möglichkeiten und Grenzen von integrierten PIN-CMOS-Systemen.

Kapitel 2

Voraussetzungen zur Durchführung des Vorhabens

Die Projektleitung des Vorhabens lag bei dem Inhaber des Lehrstuhls für Halbleitertechnik (LHT), Prof. Dr.-Ing. Peter Seegebrecht, der nach langjähriger CMOS-Prozeßentwicklungstätigkeit bei der Firma Philips in Eindhoven und in Hamburg sowie als stellvertretender Institutsleiter des Fraunhofer-Instituts für Festkörpertechnologie (IFT) in München, umfassende Erfahrung mit CMOS-Prozessen besitzt. Die wissenschaftliche Leitung der für das Vorhaben eingesetzten Arbeitsgruppe lag bei Priv.-Doz. Dr.-Ing. habil. Horst Zimmermann, der in der Fraunhofer-Arbeitsgruppe für Integrierte Schaltungen, Abteilung Bauelementetechnologie, in Erlangen Erfahrungen mit CMOS-Bauelementen sammelte und der sich seit 1993 am LHT schwerpunktmäßig mit der optoelektronischen Integration und dem Entwurf integrierter Schaltungen befaßt. Herr Zimmermann hält an der Universität Kiel seit 1994 die Vorlesung Optoelektronik. An dem geplanten Vorhaben arbeiteten zwei Ingenieure der Elektrotechnik mit. Zur Unterstützung der Mitarbeiter wurden zwei wissenschaftliche Hilfskräfte eingesetzt.

Der Lehrstuhl für Halbleitertechnik verfügt über umfangreiche elektrische Meßeinrichtungen zur Charakterisierung von elektronischen Bauelementen und Schaltungen. Ferner sind die Design Frameworks CADENCE und MENTOR auf vernetzten Workstations für den Entwurf integrierter Schaltungen am LHT im Einsatz.

Die zur Durchführung diese Vorhabens benötigten technologischen Entwicklungsarbeiten und die Herstellung der integrierten Schaltungen erfolgten am Fraunhofer-Institut für Festkörpertechnologie (IFT) in München und als dessen Nachfolgeeinrichtung an dem Fraunhofer-Institut für Mikroelektronische Schaltungen und Systeme (IMS), München, im Rahmen eines Unterauftrages. Das IFT verfügte über erfahrene Prozeßingenieure und über einen industriekompatiblen $1,0 \mu\text{m}$ CMOS-Prozeß. Dieser Prozeß beruhte auf dem Twin-Well-Prinzip, das wegen der erreichbaren Latch-up-Immunität Voraussetzung für die hier zu realisierenden OEICs ist.

Kapitel 3

Planung und Ablauf des Vorhabens

Ziel des Vorhabens ist die Entwicklung und Realisierung der oben genannten OEICs und des Lasermodulators in CMOS-Technik. Dazu soll ein industriekompatibler CMOS-Prozeß um Prozeßmodule erweitert werden, die die Integration von pin-Photodioden und CMOS-Bauelementen zur Signalverarbeitung auf einem Chip ermöglichen. Mehrere Realisierungsmöglichkeiten werden untersucht, unter denen die Variante mit den besten Eigenschaften bei niedrigen Produktionskosten herausgefunden werden soll.

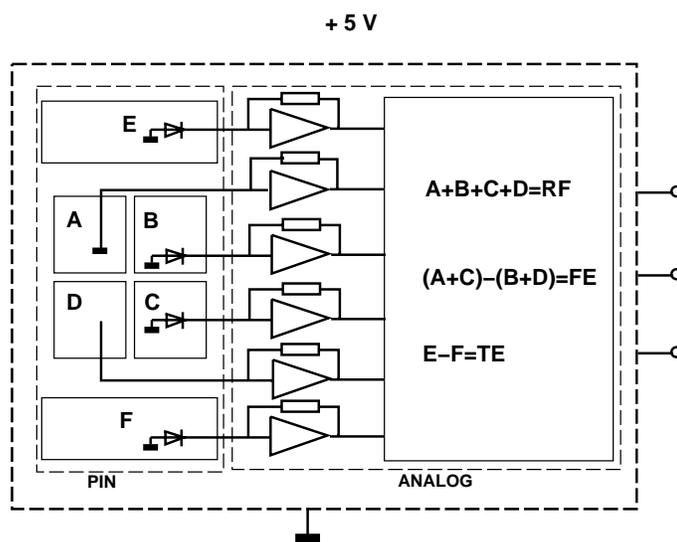


Abbildung 3.1: Blockschaltbild des PIN-CMOS-OEICs

Das Blockschaltbild des OEICs ist in Abb. 3.1 dargestellt. Es enthält sechs Photodioden und sechs Transimpedanzverstärker. Es war zu Beginn des Vorhabens geplant, die signalverarbeitenden Schaltungen zur Summen- und Differenzbildung, wie in Abb. 3.1 eingezeichnet, zu integrieren. Die DTB wollte jedoch nur eine Integration von Photodioden

und Verstärkern.

Der Laserregelkreis sollte zu Beginn des Vorhabens aus einem Monitor-OEIC und einem Lasermodulator-IC bestehen. Das Monitor-CMOS-OEIC, das Teil des Regelkreises zur Kontrolle der Laserlichtleistung ist (siehe Abb. 3.2), enthält eine pin-Photodiode und einen Transimpedanzverstärker, dessen Ausgangsspannung proportional zur vom Laser ausgesandten Lichtleistung ist. Das Monitor-OEIC muß die schnellen Anstiegszeiten des Photostromes der Monitor-pin-Diode während den beim Schreibvorgang eingesetzten Pulsfolgen verarbeiten, um den nachfolgenden Abtast-Halte-Gliedern das Erfassen der "Lichtintensität" des Laserstrahles innerhalb von 34 ns zu ermöglichen. Im Lasermodulator-IC, das ebenfalls Bestandteil des Regelkreises in Abb. 3.2 ist, vergleichen, mit externen Kondensatoren und Widerständen beschaltbare, als PI-Regler eingesetzte integrierte Operationsverstärker die Haltespannungen mit Sollwerten, die zwei integrierte 8-Bit-Digital-Analog-Wandler vorgeben. Die Eingänge der beiden Digital-Analog-Wandler werden herausgeführt, um den Regelkreis mit den der jeweiligen Disk angepaßten Sollwerten für Lese- und Schreibvorgänge versorgen zu können. Die Operationsverstärker steuern Stromquellen, die den externen Halbleiterlaser versorgen. Ein digitales Logikmodul (Pulsstrategie) schaltet die Stromquellen entsprechend den Lese- und Schreibvorgängen mit unterschiedlichen Pulsfolgen um. Bei der Entwicklung des Lasermodulator-ICs ist auf die Minimierung der entstehenden Jouleschen Wärme in den Stromquellen zu achten. Die Zuordnung der Abtast-Halte-Glieder zum Monitor-OEIC oder zum Lasermodulator-IC sollte festgelegt werden.

Für den Lehrstuhl für Halbleitertechnik ergaben sich folgende Arbeitspunkte:

1. Entwurf und Optimierung der pin-Dioden unter Berücksichtigung der durch den CMOS-Prozeß gestellten Randbedingungen. Hierbei werden intensiv Simulationswerkzeuge eingesetzt (TSUPREM4, MEDICI).
2. Entwicklung und Optimierung der Vorverstärker, der signalverarbeitenden Auswerteschaltungen, der Abtast-Halte-Glieder, der Digital-Analog-Wandler und der steuerbaren Stromquellen. Diese Arbeiten beinhalten den Schaltungsentwurf, die Schaltungssimulation sowie das Erstellen der Masken-Layouts.
3. Elektrische und optische Charakterisierung des PIN-CMOS-OEICs, des Monitor-CMOS-OEICs und des Lasermodulators sowie Extraktion der für die Bauelemente- und Schaltungssimulation erforderlichen Parameter.

Die technologischen Entwicklungsarbeiten sollten am Fraunhofer-Institut für Festkörpertechnologie (FhG-IFT) in München durchgeführt werden, dem ein $1,0 \mu\text{m}$ CMOS-Prozeß zur Verfügung steht. Diese Arbeiten ergaben sich aus den Anforderungen an die Photodioden ab: Die Erzielung eines hohen Wirkungsgrades der pin-Diode bei den Wellenlängen 635 und 430 nm erfordert eine niedrig dotierte epitaktische Schicht von ca. $10 \mu\text{m}$ Stärke sowie eine möglichst dünne hochdotierte Diffusionsinsel an der Siliciumoberfläche. Abb. 3.3 zeigt einen schematischen Querschnitt durch das PIN-CMOS-OEIC.

Bei Berücksichtigung der Betriebsspannung der CMOS-OEICs von 5 Volt und der Realisierung der Vorverstärker als Transimpedanzverstärker verbleibt an den pin-Dioden nur eine

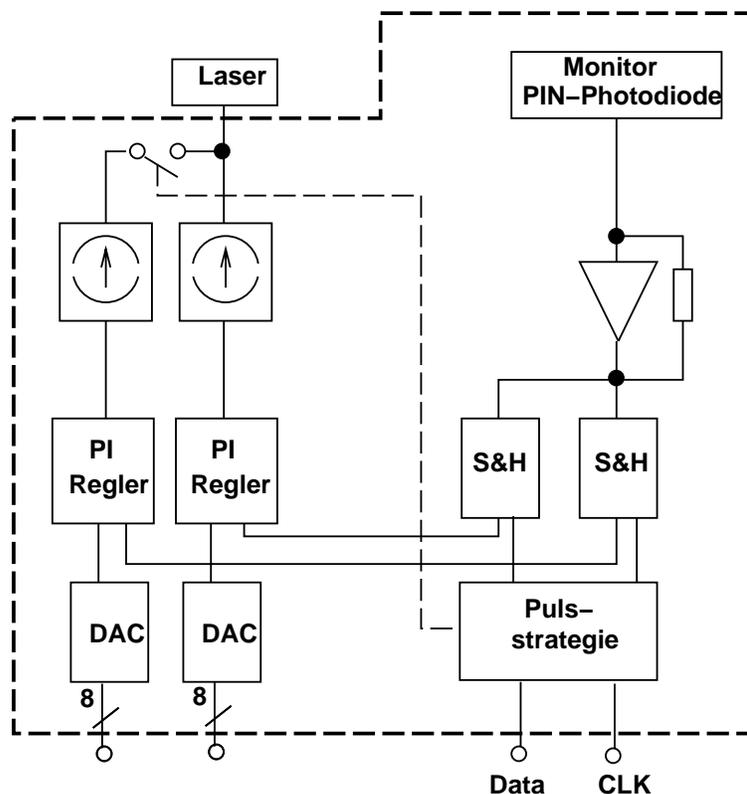


Abbildung 3.2: Blockschaltbild des Regelkreises zur Laseransteuerung bestehend aus einem Monitor-CMOS-OEIC und einem Lasermodulator-IC

Spannung von ca. 3 Volt. Die Forderung nach schneller Anstiegs- und Abfallzeit der pin-Photoströme verlangt eine Dotierstoffkonzentration der epitaktischen Schicht im Bereich von 10^{13} cm^{-3} . Bei Wahl eines p^-p^+ -Substrates z. B. die Herstellung von Fingerstrukturen mit der Source/Drain-Implantation der n-Kanal Transistoren bzw. die Herstellung einer flachen durchgehenden n^+ -Insel mittels Niedrigenergieimplantation von Arsen nach Ablauf der Hochtemperaturprozesse. Bei Wahl eines n^-n^+ -Substrates wird eine dünne p-leitende Schicht benötigt, die mit einer BF_2 -Implantation mit niedriger Energie implementiert werden kann. Zur Erhöhung bzw. Reproduzierbarkeit des Wirkungsgrades der pin-Photodioden müssen spezielle Antireflexions- bzw. Einkoppelschichten entwickelt werden, da bei CMOS-Prozessen die Schichtdicken von BPSG-, Oxid-, Oxinitrid- bzw. Nitrid-Passivierungsschichten nicht standardmäßig eng toleriert sind und es daher zu Interferenzeffekten kommen kann, die den Wirkungsgrad der pin-Photodioden stark verringern. Insbesondere ist ohne spezielle eng tolerierte Einkoppelschichten mit einem über die Siliziumscheibe stark variierendem pin-Wirkungsgrad und deshalb mit geringer Ausbeute effizienter pin-Photodioden zu rechnen. Mit erreichbaren Schichtdickentoleranzen von 10 % in speziellen dünnen Einkoppelschichten ist jedoch ein reproduzierbar hoher pin-Wirkungsgrad erzielbar.

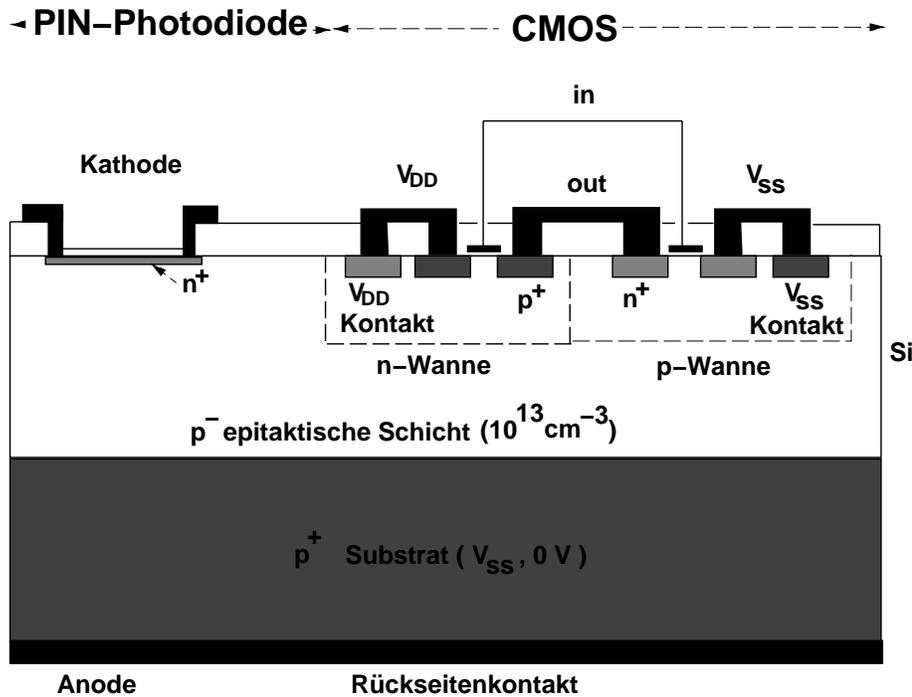


Abbildung 3.3: Schematischer Querschnitt des PIN-CMOS-OEI

Neben den erforderlichen Chargendurchläufen ergaben sich damit für das IFT die folgenden technologischen Entwicklungsarbeiten:

1. Entwicklung von Prozeßmodulen bestehend aus einer Niedrigenergieimplantation von Arsen und von BF_2 mit anschließender RTA-Behandlung. Dieses Prozeßmodul wird innerhalb der Flowchart nach dem BPSG-Flow platziert.
2. Rückseitenkontaktierung
3. Entwicklung eines Prozeßmoduls zur Verringerung der optischen Oberflächenreflexion durch eine $\lambda/4$ -Schicht oder mehrlagige Schichtaufbauten mit geeigneten Brechungsindizes und zur Passivierung der pin-Photodioden. Diese Einkoppelschichten bewirken einen reproduzierbaren hohen Wirkungsgrad der pin-Photodioden im roten und blauen Spektralbereich.

Der zeitliche Rahmen des Projektes war durch die Vorgabe von zweimal zwei Jahren abgesteckt. Danach sollte die technologische Entwicklungsarbeit einschließlich der Charakterisierung der ersten Testmuster des PIN-CMOS-OEICs und des Monitor-CMOS-OEICs nach den ersten zwei Jahren abgeschlossen sein, so daß in der zweiten Phase die Prozeß- und Schaltungsoptimierung der OEICs einschließlich der erforderlichen Redesigns, der Chargendurchläufe und Schaltungscharakterisierung erfolgen konnte. In der zweiten Phase erfolgt - parallel zur Integration des Prozeßmoduls 3 und zum Redesign der OEICs -

mit der dann dem IFT zur Verfügung stehenden Analog-Version des CMOS-Prozesses die Herstellung und das Redesign der integrierten Schaltung des Lasermodulator-ICs.

Die Arbeiten des LHT konzentrierten sich im ersten Jahr auf den Entwurf von Teststrukturen, von vertikalen pin-Dioden sowie der Verstärker zur Signalaufbereitung. Die Ergebnisse dieser Arbeiten flossen in das erste Masken-Layout ein. Für die Arbeiten des zweiten Jahres war eine Optimierung der Schaltung durch Verstärker- und Addierer-Varianten, die Charakterisierung der durch das FhG-IFT mit Hilfe des ersten Maskensatzes gefertigten Muster, die Auswertung der Ergebnisse und das erste Redesign eingeplant.

Das IFT untersuchte während des ersten Jahres die Kompatibilität der erforderlichen epitaktischen Siliziumscheiben mit dem verfügbaren CMOS-Prozeß. Dazu wurden mit Hilfe eines Testmaskensatzes CMOS-Bauelemente hergestellt und charakterisiert (z. B. bzgl. Latch-up Verhalten). Zeitlich parallel entwickelte und charakterisierte das IFT die Prozeßmodule 1 und 2. Zu Beginn des zweiten Jahres übernahm das IFT das Masken-Layout, führte das erforderliche Chip-Finishing durch und stellte die Masken her. Die Arbeiten des IFT bestanden im weiteren in der Durchführung der Chargendurchläufe und der Charakterisierung des Gesamtprozesses.

Die Arbeiten der zweiten Projektphase umfassten Beiträge der Schaltungs- und Prozeßoptimierung (Redesign, Maskenherstellung, Processing, Charakterisierung) sowie insbesondere die Herstellung des Lasermodulator-ICs und die Optimierung der Photodioden auf maximalen Wirkungsgrad im roten und im blauen Spektralbereich. Hierzu gehörte u. a. die Entwicklung, Charakterisierung und Implementierung des Prozeßmoduls 3 und die Auswahl der optimalen Lichteinkoppel- und Passivierungsschichtvariante.

Während der ersten Projektphase änderte die DTB die Anforderungen an den Laseregelkreis. Alle Schaltungskomponenten sollten nun in einem IC untergebracht werden und nur die Monitorphotodiode sollte extern angeordnet sein. Ferner wurde das IFT während der Projektlaufzeit in zwei Zuständigkeitsbereiche, das Institut für Zuverlässigkeit und Mikrointegration (IZM) und das Institut für Mikroelektronische Schaltungen und Systeme (IMS) aufgeteilt sowie die installierten CMOS Prozesse aufgegeben. Die Prozeßmodule zur pin-Integration konnten jedoch vorher im Gesamtprozeß implementiert und erste Ergebnisse erzielt werden. Lediglich die im letzten Jahr vor Projektende geplanten Chargendurchläufe konnten nicht am IFT/IMS durchgeführt werden. Es war jedoch aufgrund der Industriekompatibilität der Prozesse möglich, zwei OEIC-Designs bei Infineon herstellen zu lassen. Ferner wurde ein OEIC-Design bei der Firma Thesys in Erfurt realisiert.